

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

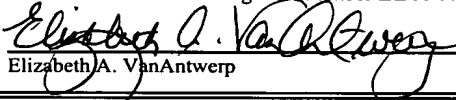
In re the application of: Yukihiisa TAKEUCHI, Tsutomu NANATAKI, Iwao OHWADA
and Takayoshi AKAO

Filed: Concurrently Herewith

For: CIRCUIT ELEMENT, SIGNAL PROCESSING CIRCUIT, CONTROL DEVICE,
DISPLAY DEVICE, METHOD OF DRIVING DISPLAY DEVICE, METHOD OF
DRIVING CIRCUIT ELEMENT, AND METHOD OF DRIVING CONTROL
DEVICE

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this paper is being deposited with the United States Postal
Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10
addressed to Mail Stop Patent Application, Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450 on March 26, 2004 under
"EXPRESS MAIL" mailing label number EL 994436366 US.


Elizabeth A. VanAntwerp

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

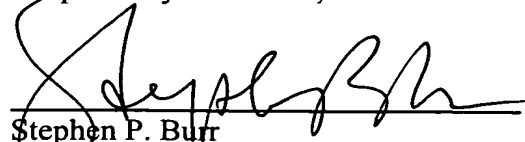
Sir:

The benefit of the filing date of the following prior foreign application filed in the
following foreign country is hereby requested for the above-identified application and the
priority provided in 35 USC 119 is hereby claimed:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Japan	2004-046862	February 23, 2004

In support of this claim, a certified copy of the Japanese Application is enclosed
herewith.

Respectfully submitted,


Stephen P. Burr
Reg. No. 32,970

March 26, 2004
Date

SPB/eav

BURR & BROWN
P.O. Box 7068
Syracuse, NY 13261-7068

Customer No.: 025191
Telephone: (315) 233-8300
Facsimile: (315) 233-8320

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 4 6 8 6 2
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 4 6 8 6 2]

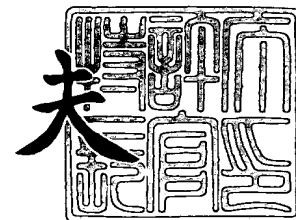
出 願 人 日 本 碍 子 株 式 有 限 公 司
Applicant(s):



2 0 0 4 年 3 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 7 4 7 8

【書類名】 特許願
【整理番号】 PCK17978GA
【提出日】 平成16年 2月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 41/09
【発明者】
 【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
 【氏名】 武内 幸久
【発明者】
 【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
 【氏名】 七瀧 努
【発明者】
 【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
 【氏名】 大和田 巖
【発明者】
 【住所又は居所】 愛知県名古屋市瑞穂区須田町 2 番 5 6 号 日本碍子株式会社内
 【氏名】 赤尾 隆嘉
【特許出願人】
 【識別番号】 000004064
 【氏名又は名称】 日本碍子株式会社
【代理人】
 【識別番号】 100077665
 【弁理士】
 【氏名又は名称】 千葉 剛宏
【選任した代理人】
 【識別番号】 100116676
 【弁理士】
 【氏名又は名称】 宮寺 利幸
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 86501
 【出願日】 平成15年 3月26日
【手数料の表示】
 【予納台帳番号】 001834
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9724024
 【包括委任状番号】 0206306

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の配線と、
第 2 の配線と、
第 3 の配線と、
前記第 1 の配線と前記第 2 の配線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、
前記第 1 及び第 2 の整流素子の接続点と前記第 3 の配線との間に接続された負荷とを有することを特徴とする回路素子。

【請求項 2】

請求項 1 記載の回路素子において、
前記第 1 の配線の電位を V_1 、前記第 2 の配線の電位を V_2 としたとき、
動作期間の全期間にわたって
 $V_1 \geq V_2$
であることを特徴とする回路素子。

【請求項 3】

請求項 2 記載の回路素子において、
前記動作期間に、前記第 3 の配線から前記負荷に電流が流れる第 1 の期間が設定されていることを特徴とする回路素子。

【請求項 4】

請求項 3 記載の回路素子において、
前記接続点の電位を V_3 としたとき、
前記第 1 の期間に、
 $V_1 < V_3$
を満足することを特徴とする回路素子。

【請求項 5】

請求項 2 記載の回路素子において、
前記動作期間に、前記第 2 の配線から前記負荷に電流が流れる第 2 の期間が設定されていることを特徴とする回路素子。

【請求項 6】

請求項 5 記載の回路素子において、
前記接続点の電位を V_3 としたとき、
前記第 2 の期間に、
 $V_2 > V_3$
を満足することを特徴とする回路素子。

【請求項 7】

請求項 2 記載の回路素子において、
前記動作期間に、前記負荷への導通を禁止する第 3 の期間が設定されていることを特徴とする回路素子。

【請求項 8】

請求項 7 記載の回路素子において、
前記接続点の電位を V_3 としたとき、
前記第 3 の期間に、
 $V_2 \leq V_3 \leq V_1$
を満足することを特徴とする回路素子。

【請求項 9】

請求項 1 ～ 8 のいずれか 1 項に記載の回路素子において、
前記整流素子がダイオードであることを特徴とする回路素子。

【請求項 10】

請求項 9 記載の回路素子において、

前記ダイオードが薄膜ダイオードであることを特徴とする回路素子。

【請求項 11】

請求項 10 記載の回路素子において、

前記薄膜ダイオードが MIM 素子であることを特徴とする回路素子。

【請求項 12】

回路素子と制御回路とを有する信号処理回路であって、

(1) 前記回路素子は、

第 1 の配線と、

第 2 の配線と、

第 3 の配線と、

前記第 1 の配線と前記第 2 の配線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、

前記第 1 及び第 2 の整流素子の接続点と前記第 3 の配線との間に接続された負荷とを有し、

(2) 前記制御回路は、

少なくとも前記第 1 の配線の電位と前記第 2 の配線の電位を制御することを特徴とする信号処理回路。

【請求項 13】

複数の回路素子と制御回路とを有する制御装置であって、

(1) 前記回路素子は、

第 1 の配線と、

第 2 の配線と、

第 3 の配線と、

前記第 1 の配線と前記第 2 の配線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、

前記第 1 及び第 2 の整流素子の接続点と前記第 3 の配線との間に接続された負荷とを有し、

(2) 前記制御回路は、前記第 1 の配線、前記第 2 の配線及び前記第 3 の配線の電位を制御することを特徴とする制御装置。

【請求項 14】

請求項 13 記載の制御装置において、

前記第 1 の配線の電位を V_1 、前記第 2 の配線の電位を V_2 としたとき、動作期間の全期間にわたって

$$V_1 \geq V_2$$

であることを特徴とする制御装置。

【請求項 15】

請求項 14 記載の制御装置において、

前記動作期間中に、各々の前記回路素子に対して選択期間と非選択期間を設定し、

前記接続点の電位を V_3 としたとき、

前記非選択期間には、

$$V_2 \leq V_3 \leq V_1$$

を満足することを特徴とする制御装置。

【請求項 16】

請求項 15 記載の制御装置において、

前記選択期間には、

$$V_1 < V_3 \text{ 又は } V_2 > V_3$$

を満足しうることを特徴とする制御装置。

【請求項 17】

請求項 16 記載の制御装置において、

前記動作期間中に、各々の前記回路素子に対してリセット期間を設定し、

前記リセット期間には、

$$V1 < V3 \text{ 又は } V2 > V3$$

を満足しうることを特徴とする制御装置。

【請求項 18】

請求項 13～17 のいずれか 1 項に記載の制御装置において、

前記負荷は、該負荷に印加された電圧に基づいて制御対象を変位させる変位制御素子であることを特徴とする制御装置。

【請求項 19】

請求項 18 記載の制御装置において、

前記変位制御素子は、圧電素子を有することを特徴とする制御装置。

【請求項 20】

請求項 18 記載の制御装置において、

前記変位制御素子は、インダクタを有し、電圧により該インダクタに流れる電流によって制御される前記インダクタの磁化によって、前記制御対象の変位を制御することを特徴とする制御装置。

【請求項 21】

請求項 18 記載の制御装置において、

前記変位制御素子は、少なくとも一対の対向する電極を有し、前記少なくとも一対の電極間に電圧を印加したときに働く静電気力を利用することを特徴とする制御装置。

【請求項 22】

多数の画素を有する表示部と、

各画素に対してそれぞれ選択／非選択を指示する多数の選択線と、

選択状態にある各画素に対してそれぞれ画素信号を供給する多数の信号線と、

選択状態にある各画素に対してそれぞれリセット信号を供給する多数のリセット線とを有し、

前記各画素は、

前記選択線、前記信号線及び前記リセット線のうち、いずれか 2 つの線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、

前記第 1 及び第 2 の整流素子の接続点と残りの線との間に接続された負荷とを有することを特徴とする表示装置。

【請求項 23】

請求項 22 記載の表示装置において、

前記選択線、前記信号線及び前記リセット線のうち、前記第 1 の整流素子のカソードが接続される線を第 1 の線と定義し、前記第 2 の整流素子のアノードが接続される線を第 2 の線と定義し、

前記第 1 の線の電位を $V1$ 、前記第 2 の線の電位を $V2$ としたとき、動作期間の全期間にわたって

$$V1 \geq V2$$

であることを特徴とする表示装置。

【請求項 24】

請求項 23 記載の表示装置において、

前記動作期間中に、各々の前記画素に対して選択期間と非選択期間を設定し、

前記接続点の電位を $V3$ としたとき、

前記非選択期間には、

$$V2 \leq V3 \leq V1$$

を満足することを特徴とする表示装置。

【請求項 25】

請求項 24 記載の表示装置において、

前記選択期間には、

$$V1 < V3 \text{ 又は } V2 > V3$$

を満足しうることを特徴とする表示装置。

【請求項 26】

請求項 25 記載の表示装置において、
前記動作期間中に、各々の前記画素に対してリセット期間を設定し、
前記リセット期間には、

$$V1 < V3 \text{ 又は } V2 > V3$$

を満足しうることを特徴とする表示装置。

【請求項 27】

多数の画素を有する表示部と、
各画素に対してそれぞれ選択／非選択を指示する多数の選択線と、
選択状態にある各画素に対してそれぞれ画素信号を供給する多数の信号線と、
選択状態にある各画素に対してそれぞれリセット信号を供給する多数のリセット線とを
有し、

前記各画素は、

前記選択線、前記信号線及び前記リセット線のうち、いずれか 2 つの線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、

前記第 1 及び第 2 の整流素子の接続点と残りの線との間に接続された負荷とを有する表示装置の駆動方法であって、

前記選択線、前記信号線及び前記リセット線のうち、前記第 1 の整流素子のカソードが接続される線を第 1 の線と定義し、前記第 2 の整流素子のアノードが接続される線を第 2 の線と定義し、

前記第 1 の線の電位を $V1$ 、前記第 2 の線の電位を $V2$ 、前記接続点の電位を $V3$ としたとき、

前記画素のうち、選択状態の画素については、 $V1 < V3$ 又は $V2 > V3$ となるように駆動し、

非選択状態の画素については、 $V2 \leq V3 \leq V1$ となるように駆動することを特徴とする表示装置の駆動方法。

【請求項 28】

請求項 27 記載の表示装置の駆動方法において、

前記画素は、

前記負荷に対して、第 1 電圧状態と第 2 電圧状態が印加されることで、前記第 2 電圧状態の印加期間で発光が行われる発光特性を有することを特徴とする表示装置の駆動方法。

【請求項 29】

請求項 28 記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第 2 電圧状態の終了時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項 30】

請求項 28 記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて制御することによって、前記第 2 電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項 31】

請求項 28 記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第 2 電圧状態の開始時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項 32】

請求項 28 記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項33】

請求項28記載の表示装置の駆動方法において、

前記画素が、所定期間に対する前記第1電圧状態の期間のデューティ比に応じて光量に変化する特性を有する場合に、

前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第1電圧状態のパルス幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項34】

請求項28記載の表示装置の駆動方法において、

前記画素が、前記第1電圧状態での蓄積電圧に応じて光量に変化する特性を有する場合に、

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項35】

請求項28記載の表示装置の駆動方法において、

前記画素が、前記第1電圧状態での蓄積電圧に応じて光量に変化する特性を有する場合に、

前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項36】

請求項28～35のいずれか1項に記載の表示装置の駆動方法において、

前記負荷に対して、前記第1電圧状態と前記第2電圧状態を連続して印加することを特徴とする表示装置の駆動方法。

【請求項37】

請求項27記載の表示装置の駆動方法において、

前記画素は、

前記負荷に対して、第1電圧状態と、基準電圧状態と、前記第1電圧状態とは逆極性の第2電圧状態とが印加されることで、少なくとも前記第1電圧状態の印加期間と前記第2電圧状態の印加期間で発光が行われる発光特性を有することを特徴とする表示装置の駆動方法。

【請求項38】

請求項37記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の開始時点と前記第2電圧状態の開始時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項39】

請求項37記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅と前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項40】

請求項37記載の表示装置の駆動方法において、

前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅と前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させることを特徴とする表示装置の駆動方法。

【請求項41】

複数の回路素子と、複数の第1の配線と、複数の第2の配線と、複数の第3の配線とを有し、前記第1の配線と前記第2の配線の少なくとも一方が、各回路素子に対してそれぞれ選択／非選択を指示するための配線であって、

前記各回路素子は、

前記第1の配線、前記第2の配線及び前記第3の配線のうち、いずれか2つの配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、

前記第1及び第2の整流素子の接続点と残りの配線との間に接続された負荷とを有する回路素子の駆動方法であって、

前記第1の配線、前記第2の配線及び前記第3の配線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、

前記第1の線の電位を V_1 、前記第2の線の電位を V_2 、前記接続点の電位を V_3 としたとき、

前記回路素子のうち、選択状態の回路素子については、 $V_1 < V_3$ 又は $V_2 > V_3$ となるように駆動し、

非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする回路素子の駆動方法。

【請求項42】

複数の回路素子と、

各回路素子に対してそれぞれ選択／非選択を指示する多数の選択線と、

選択状態にある各回路素子に対してそれぞれ信号を供給する多数の信号線と、

選択状態にある各回路素子に対してそれぞれリセット信号を供給する多数のリセット線とを有し、

前記各回路素子は、

前記選択線、前記信号線及び前記リセット線のうち、いずれか2つの線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、

前記第1及び第2の整流素子の接続点と残りの線との間に接続された負荷とを有する制御装置の駆動方法であって、

前記選択線、前記信号線及び前記リセット線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、

前記第1の線の電位を V_1 、前記第2の線の電位を V_2 、前記接続点の電位を V_3 としたとき、

前記回路素子のうち、選択状態の回路素子については、 $V_1 < V_3$ 又は $V_2 > V_3$ となるように駆動し、

非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする制御装置の駆動方法。

【請求項43】

複数の回路素子を有し、

前記各回路素子は、正方向変位を選択指示するための第1の配線と、負方向変位を選択指示するための第2の配線と、変位量を指示するための第3の配線と、前記第1の配線と前記第2の配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と前記第3の配線との間に接続された負荷とを有する制御装置の駆動方法であって、

前記第1の配線の電位を V_1 、前記第2の配線の電位を V_2 、前記接続点の電位を V_3

としたとき、

正方向変位が選択指示された回路素子については、変位開始時点において $V_1 \geq V_2$ 及び $V_3 > V_1$ となるように駆動し、

負方向変位が選択指示された回路素子については、変位開始時点において $V_1 \geq V_2$ 及び $V_3 < V_2$ となるように駆動し、

非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする制御装置の駆動方法。

【書類名】 明細書

【発明の名称】 回路素子、信号処理回路、制御装置、表示装置、表示装置の駆動方法、回路素子の駆動方法及び制御装置の駆動方法

【技術分野】**【0001】**

本発明は、簡単な構成で様々な用途の回路に利用することができる回路素子と、該回路素子を含んだ信号処理回路と、前記回路素子を含んだ制御装置と、前記回路素子を画素として適用した表示装置と、該表示装置の駆動方法と、前記回路素子の駆動方法と、制御装置の駆動方法に関する。

【背景技術】**【0002】**

一般に、多数の回路素子をマトリックス状に配列し、これら回路素子のうち、任意の回路素子を選択的に駆動する場合、図43に示すパッシブマトリックス駆動方式や、図44に示す非線形抵抗素子1000を用いたアクティブマトリックス駆動方式等が考えられる。

【0003】

これらの駆動方式においては、容量性負荷1002を有する回路素子1004がマトリックス状に配列された構成を有する。そして、図43の例では、容量性負荷1002の一方の端子が選択線1006に接続され、他方の端子が信号線1008に接続されている。図44の例では、容量性負荷1002の一方の端子が非線形抵抗素子1000を介して選択線1006に接続され、他方の端子が信号線1008に接続されている。

【0004】

パッシブマトリックス駆動方式を表示装置に適用した従来のシステムは、例えば特許文献1に記載があり、アクティブマトリックス駆動方式を表示装置に適用した従来のシステムは、例えば特許文献2に記載がある。

【0005】

【特許文献1】 特開2003-17245号公報（図1）

【特許文献2】 特開2002-108310号公報（図1）

【発明の開示】**【発明が解決しようとする課題】****【0006】**

ところで、図43に示す方式は、非選択行の回路素子1004が、選択行の回路素子1004に供給される信号の影響を受ける。これは、消費電力が増大につながる。また、表示装置として適用した場合に、非選択行の画素が、選択行の画素への信号によって影響を受けることから、各画素でのメモリ効果（容量性負荷1002での電荷の蓄積）はなく、高輝度化、高コントラスト化に不利になる。

【0007】

図44に示す方式は、非線形抵抗素子1000が、図45に示す電流－電圧特性を有することから、容量性負荷1002の電圧保持（電荷蓄積）のために、しきい値電圧 V_{th} が保持電圧より大きな値を有する非線形抵抗素子1000を用意する必要がある。そのため、高い駆動電圧が必要になり、消費電力も増大するという問題がある。

【0008】

また、安定したしきい値電圧 V_{th} 、急峻な非線形特性、遮断時の静電容量が小さいこと等、非線形抵抗素子1000に対する要求特性が厳しく、製作が困難になる。

【0009】

また、非選択行の回路素子1004においては、非線形抵抗素子1000の静電容量と容量性負荷1002の静電容量との間で分圧され、容量性負荷1002の電圧が低下する。従って、非選択時の電圧低下を考慮して、より大きな充電電圧が必要となる上、分圧による容量性負荷1002への電圧レベルが回路素子1004ごとにばらつくことから、各容量性負荷1002に安定した充電電圧を印加することができないという問題もある。

【0010】

本発明はこのような課題を考慮してなされたものであり、非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがなく、低消費電力を図ることができ、しかも、低電圧駆動が可能な回路素子、信号処理回路及び制御装置を提供することを目的とする。

【0011】

また、本発明の他の目的は、非選択状態の画素が、選択状態の画素への信号によって影響を受けることなく、各画素でのメモリ効果を実現でき、高輝度化、高コントラスト化を図ることができる表示装置及び表示装置の駆動方法を提供することにある。

【0012】

また、本発明の他の目的は、非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがなく、低消費電力を図ることができ、しかも、低電圧駆動が可能な回路素子の駆動方法及び制御装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0013】

本発明に係る回路素子は、第1の配線と、第2の配線と、第3の配線と、前記第1の配線と前記第2の配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と前記第3の配線との間に接続された負荷とを有することを特徴とする。

【0014】

この発明において、複数の回路素子をマトリックス状に配列したシステムに適用し、例えば第1の配線からの信号によって任意の回路素子の選択／非選択を行わせる場合を想定したとき、非選択状態の回路素子について、2つの整流素子がそれぞれ逆バイアスとなって、電流を遮断するように機能させることが可能となる。そのため、非選択状態にある回路素子は、選択状態にある回路素子に供給される信号によって影響を受けることがない。その結果、低消費電力を図ることができ、低電圧駆動が可能となる。

【0015】

しかも、整流素子は、1方向のみに電流を流すというごく単純で一般的な機能を有していればよいので、安定した特性を得やすい。整流素子は、順方向のしきい値電圧が小さく、逆方向の等価静電容量が小さいため、非選択時に負荷に印加される電圧を精度の高い電圧（ほぼ設計通りの電圧）にすることができる。整流素子を挿入しても、駆動電圧を増加させる必要はほとんどない。

【0016】

また、従来のパッシブマトリックス駆動方式や非線形抵抗素子によるアクティブマトリックス駆動方式と比較して低電圧駆動が可能である。また、従来のTFT（Thin Film Transistor）を用いたアクティブマトリックス駆動方式と比較して、回路構成が単純であり、低コスト化に有利になる。しかも、従来のTFTでは困難な、より高耐圧を必要とする場合にも適用できる。

【0017】

そして、前記第1の配線の電位を V_1 、前記第2の配線の電位を V_2 としたとき、動作期間の全期間にわたって、 $V_1 \geq V_2$ であることが好ましい。

【0018】

また、前記動作期間に、前記第3の配線から前記負荷に電流が流れる第1の期間が設定されている場合、前記接続点の電位を V_3 としたとき、前記第1の期間において、 $V_1 < V_3$ であることが好ましい。

【0019】

前記動作期間に、前記第2の配線から前記負荷に電流が流れる第2の期間が設定されている場合、該第2の期間において、 $V_2 > V_3$ であることが好ましい。

【0020】

前記動作期間に、前記負荷への導通を禁止する第3の期間が設定されている場合、該第3の期間において、 $V2 \leq V3 \leq V1$ であることが好ましい。

【0021】

前記整流素子は、ダイオードであってもよい。この場合、ダイオードは薄膜ダイオードであってもよい。薄膜ダイオードはMIM (Metal Insulator Metal) 素子であってもよい。また、TFETやバイポーラトランジスタ、あるいはMOSトランジスタ等の3端子素子を用いて整流素子を形成するようにしてもよい。

【0022】

特に、整流素子をMIM素子にて構成した場合は、多数の回路素子を配列、集積する場合や、薄型の回路素子や装置を構成する場合等において特に効果的である。セラミック基板やシリコンウェハ等の上に多数の回路素子を形成してもよいし、それらの基板上に整流素子を形成したものと、負荷とを接続することで形成しても好ましい。

【0023】

また、第1及び第2の整流素子の間には、本発明の趣旨を逸脱しない範囲で、何らかの素子が存在していてもよい。例えば異常電圧によって貫通電流が生じた場合の保護の目的や、突入電流防止あるいはノイズ低減の目的等で、抵抗素子やインダクタ等が挿入接続されていてもよい。これは、第1の配線と第1の整流素子、第2の配線と第2の整流素子、第3の配線と負荷、負荷と第1の整流素子あるいは負荷と第2の整流素子との間に存在していてもよい。

【0024】

また、第2の配線の電位が、第1の配線の電位より高くなった場合に、貫通電流が流れて回路素子が破壊されるおそれがあるが、これを防止するために、回路素子とは別に、第1の配線と第2の配線との間にバイパスコンデンサやツェナーダイオード、バリスタ等の素子を挿入して、回路素子を保護するようにすることも好ましい。

【0025】

次に、本発明に係る信号処理回路は、回路素子と制御回路とを有する信号処理回路であって、(1)前記回路素子は、第1の配線と、第2の配線と、第3の配線と、前記第1の配線と前記第2の配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と前記第3の配線との間に接続された負荷とを有し、(2)前記制御回路は、少なくとも前記第1の配線の電位と前記第2の配線の電位を制御することを特徴とする。

【0026】

これにより、本発明に係る信号処理回路を用いれば、低消費電力を図ることができ、低電圧駆動が可能なシステムを構築することができる。この場合、多数の回路素子を用意し、これら回路素子を任意に配列させて、各回路素子の電圧、電流を制御することができる。

【0027】

また、本発明に係る信号処理回路は、マトリックス状に配列された多数の回路素子の駆動にも適用することができる。特に電流を双方向に流すことが求められる用途に対して好適である。負荷として容量性負荷を用いた回路素子の駆動についても好適である。すなわち、容量性負荷の場合には、電流を双方向に流せる特徴と、非選択時に電荷を保持する特徴の両方の効果が高いためである。

【0028】

また、本発明に係る信号処理回路は、伝送システム、例えば、多数のバスから任意のバスを選択し、該選択されたバスに信号を供給する伝送システムに適用する場合にも好適である。この場合、スイッチング回路を用いることなく、しかも、バス間でのクロストークを発生させることなく、スムーズに切り替えを行うことができる伝送システムを得ることができる。

【0029】

次に、本発明に係る制御装置は、複数の回路素子と制御回路とを有する制御装置であっ

て、(1) 前記回路素子は、第 1 の配線と、第 2 の配線と、第 3 の配線と、前記第 1 の配線と前記第 2 の配線との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子と、前記第 1 及び第 2 の整流素子の接続点と前記第 3 の配線との間に接続された負荷とを有し、(2) 前記制御回路は、前記第 1 の配線、前記第 2 の配線及び前記第 3 の配線の電位を制御することを特徴とする。

【0030】

これにより、本発明に係る制御装置を用いれば、低消費電力を図ることができ、低電圧駆動が可能なシステムを構築することができる。この場合、多数の回路素子を用意し、これら回路素子を任意に配列させて、各回路素子の電圧、電流を制御することができる。

【0031】

また、本発明に係る制御装置は、後述する表示装置のほか、光スイッチ、MEMS（マイクロ・エレクトロ・メカニカル・システム）、メモリ、プリンタ、位置制御素子、空間光変調素子等にも利用できる。

【0032】

そして、前記第 1 の配線の電位を V_1 、前記第 2 の配線の電位を V_2 としたとき、動作期間の全期間にわたって $V_1 \geq V_2$ であることが好ましい。

【0033】

また、前記動作期間中に、各々の前記回路素子に対して選択期間と非選択期間を設定し、前記接続点の電位を V_3 としたとき、前記非選択期間には、 $V_2 \leq V_3 \leq V_1$ を満足することが好ましい。前記選択期間には、 $V_1 < V_3$ 又は $V_2 > V_3$ を満足しうることが好ましい。

【0034】

ここで、「満足しうる」の意味について説明する。まず、選択期間は、実際に回路素子を選択状態にする期間を含む。この選択状態にする期間と選択期間の各時間的長さの関係は、選択期間 \geq 選択状態にする期間である。この場合、選択期間の開始時点と選択状態にする期間の開始時点が異なる場合や、前記選択状態にする期間がゼロ、すなわち、全くない場合もある。そして、この発明の特徴である $V_1 < V_3$ 又は $V_2 > V_3$ の関係は、前記選択状態にする期間における電位関係を示す。つまり、選択期間と選択状態にする期間との時間的長さが同じであれば、選択期間において $V_1 < V_3$ 又は $V_2 > V_3$ を満足すると定義できるが、選択状態にする期間が選択期間よりも時間的長さが短い、あるいはゼロであれば、選択期間において $V_1 < V_3$ 又は $V_2 > V_3$ を満足すると必ずしも定義できるわけではない。そこで、この発明では、「前記選択期間には、 $V_1 < V_3$ 又は $V_2 > V_3$ を満足しうる」と定義したわけである。

【0035】

また、前記動作期間中に、各々の前記回路素子に対してリセット期間を設定した場合、前記リセット期間には、 $V_1 < V_3$ 又は $V_2 > V_3$ を満足しうることを好ましい。ここの「満足しうる」についても、上述した事項と同趣旨である。

【0036】

そして、前記負荷は、該負荷に印加された電圧に基づいて制御対象を変位させる変位制御素子であってもよい。この場合、前記変位制御素子は、圧電素子を有するようにしてもよいし、あるいは、少なくとも一対の対向する電極を有し、前記少なくとも一対の電極間に電圧を印加したときに働く静電気力を利用するようにしてもよい。前記変位制御素子は、インダクタを有し、該インダクタに印加された電圧に基づく磁力によって前記制御対象の変位を制御するようにしてもよい。前記インダクタは、磁束密度-磁界特性曲線がヒステリシスを持ち、飽和磁束密度と残留磁束密度がほぼ同じである特性を有するようにしてもよい。

【0037】

次に、本発明に係る表示装置は、多数の画素を有する表示部と、各画素に対してそれぞれ選択/非選択を指示する多数の選択線と、選択状態にある各画素に対してそれぞれ画素信号を供給する多数の信号線と、選択状態にある各画素に対してそれぞれリセット信号を

供給する多数のリセット線とを有し、前記各画素は、前記選択線、前記信号線及び前記リセット線のうち、いずれか2つの線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と残りの線との間に接続された負荷とを有することを特徴とする。ここで、リセット信号とは、負荷において放電を行わせたり、充電を行わせたりするための信号等を含み、負荷をある基準状態にさせるための信号を含むものとする。

【0038】

これにより、非選択行の画素について、2つの整流素子がそれぞれ逆バイアスとなって、電流を遮断するように機能させることが可能となる。そのため、非選択行の画素は、選択行の画素に供給される画素信号によって影響を受けることがない。その結果、低消費電力を図ることができ、低電圧駆動が可能となる。しかも、各画素にメモリ効果を持たせた駆動を行うことができ、高輝度、高コントラストな表示装置を実現できる。

【0039】

もちろん、上述したように、従来のパッシブマトリックス駆動方式や非線形抵抗素子によるアクティブマトリックス駆動方式と比較して低電圧駆動が可能である。また、従来の TFT を用いたアクティブマトリックス駆動方式と比較して、回路構成が単純であり、低コスト化に有利になる上、従来の TFT では困難な、より高耐圧を必要とする場合にも適用できる。

【0040】

そして、前記選択線、前記信号線及び前記リセット線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、前記第1の線の電位を V_1 、前記第2の線の電位を V_2 としたとき、動作期間の全期間にわたって、 $V_1 \geq V_2$ であることが好ましい。

【0041】

前記動作期間中に、各々の前記画素に対して選択期間と非選択期間を設定し、前記接続点の電位を V_3 としたとき、前記非選択期間には、 $V_2 \leq V_3 \leq V_1$ を満足することが好ましい。

【0042】

前記選択期間には、 $V_1 < V_3$ 又は $V_2 > V_3$ を満足しうることが好ましい。また、前記動作期間中に、各々の前記画素に対してリセット期間を設定している場合は、前記リセット期間には、 $V_1 < V_3$ 又は $V_2 > V_3$ を満足しうることが好ましい。

【0043】

次に、本発明に係る表示装置の駆動方法は、多数の画素を有する表示部と、各画素に対してそれぞれ選択／非選択を指示する多数の選択線と、選択状態にある各画素に対してそれぞれ画素信号を供給する多数の信号線と、選択状態にある各画素に対してそれぞれリセット信号を供給する多数のリセット線とを有し、前記各画素は、前記選択線、前記信号線及び前記リセット線のうち、いずれか2つの線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と残りの線との間に接続された負荷とを有する表示装置の駆動方法であって、前記選択線、前記信号線及び前記リセット線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、前記第1の線の電位を V_1 、前記第2の線の電位を V_2 、前記接続点の電位を V_3 としたとき、前記画素のうち、選択状態の画素については、 $V_1 < V_3$ 又は $V_2 > V_3$ となるように駆動し、非選択状態の画素については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする。

【0044】

これにより、非選択状態の画素が、選択状態の画素への信号によって影響を受けることなく、各画素でのメモリ効果を実現でき、高輝度化、高コントラスト化を図ることができる。

【0045】

そして、前記画素として以下の発光特性を有する画素を用いてもよい。すなわち、この

画素は、前記負荷に対して、第1電圧状態と第2電圧状態が印加されることで、前記第2電圧状態の印加期間で発光が行われる発光特性を有する。

【0046】

この場合、前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第2電圧状態の終了時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0047】

前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて制御することによって、前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0048】

前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第2電圧状態の開始時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0049】

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0050】

また、前記画素が、所定期間に対する前記第1電圧状態の期間のデューティ比に応じて光量に変化する特性を有する場合に、前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第1電圧状態のパルス幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0051】

前記画素が、前記第1電圧状態での蓄積電圧に応じて光量に変化する特性を有する場合に、前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0052】

前記画素が、前記第1電圧状態での蓄積電圧に応じて光量に変化する特性を有する場合に、前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0053】

これらの場合に、前記負荷に対して、前記第1電圧状態と前記第2電圧状態とを連続して印加するようにすれば、より強く安定した発光が得られるので、好ましい。

【0054】

また、前記画素として、以下の発光特性を有する画素を用いてもよい。すなわち、この画素は、前記負荷に対して、第1電圧状態と、基準電圧状態と、前記第1電圧状態とは逆極性の第2電圧状態とが印加されることで、少なくとも前記第1電圧状態の印加期間と前記第2電圧状態の印加期間で発光が行われる発光特性を有する。

【0055】

この場合、前記画素に供給される前記画素信号に含まれるトリガ信号の位相を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の開始時点と前記第2電圧状態の開始時点を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0056】

前記画素に供給される前記画素信号のパルス幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅と前記第2電圧状態の振幅を変化させることで、

前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0057】

前記画素に供給される前記画素信号の振幅を該画素の階調レベルに応じて変調することによって、前記第1電圧状態の振幅と前記第2電圧状態の振幅を変化させることで、前記画素の発光輝度を前記階調レベルに応じて変化させるようにしてもよい。

【0058】

次に、本発明に係る回路素子の駆動方法は、複数の回路素子と、複数の第1の配線と、複数の第2の配線と、複数の第3の配線とを有し、前記第1の配線と前記第2の配線の少なくとも一方が、各回路素子に対してそれぞれ選択／非選択を指示するための配線であって、前記各回路素子は、前記第1の配線、前記第2の配線及び前記第3の配線のうち、いずれか2つの配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と残りの配線との間に接続された負荷とを有する回路素子の駆動方法であって、前記第1の配線、前記第2の配線及び前記第3の配線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、前記第1の線の電位を V_1 、前記第2の線の電位を V_2 、前記接続点の電位を V_3 としたとき、前記回路素子のうち、選択状態の回路素子については、 $V_1 < V_3$ 又は $V_2 > V_3$ となるように駆動し、非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする。

【0059】

これにより、回路素子の低消費電力を図ることができ、低電圧駆動が可能となる。従って、この回路素子の駆動方法を様々なアプリケーションに適用することによって、これらアプリケーションの低消費電力並びに低電圧駆動を実現させることができる。

【0060】

次に、本発明に係る制御装置の駆動方法は、複数の回路素子と、各回路素子に対してそれぞれ選択／非選択を指示する多数の選択線と、選択状態にある各回路素子に対してそれぞれ信号を供給する多数の信号線と、選択状態にある各回路素子に対してそれぞれリセット信号を供給する多数のリセット線とを有し、前記各回路素子は、前記選択線、前記信号線及び前記リセット線のうち、いずれか2つの線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と残りの線との間に接続された負荷とを有する制御装置の駆動方法であって、前記選択線、前記信号線及び前記リセット線のうち、前記第1の整流素子のカソードが接続される線を第1の線と定義し、前記第2の整流素子のアノードが接続される線を第2の線と定義し、前記第1の線の電位を V_1 、前記第2の線の電位を V_2 、前記接続点の電位を V_3 としたとき、前記回路素子のうち、選択状態の回路素子については、 $V_1 < V_3$ 又は $V_2 > V_3$ となるように駆動し、非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする。

【0061】

この場合、前記負荷は、圧電素子を有し、該圧電素子での逆圧電効果によって制御対象を変位制御するようにしてもよい。あるいは、少なくとも一対の対向する電極を有し、前記少なくとも一対の電極間に電圧を印加したときに働く静電気力によって制御対象を変位制御するようにしてもよい。

【0062】

また、本発明に係る制御装置の駆動方法は、複数の回路素子を有し、前記各回路素子は、正方向変位を選択指示するための第1の配線と、負方向変位を選択指示するための第2の配線と、変位量を指示するための第3の配線と、前記第1の配線と前記第2の配線との間にそれぞれ順方向に直列接続された第1及び第2の整流素子と、前記第1及び第2の整流素子の接続点と前記第3の配線との間に接続された負荷とを有する制御装置の駆動方法であって、前記第1の配線の電位を V_1 、前記第2の配線の電位を V_2 、前記負荷の接続点の電位を V_3 としたとき、正方向変位が選択指示された回路素子については、変位開始時点において $V_1 \geq V_2$ 及び $V_3 > V_1$ となるように駆動し、負方向変位が選択指示され

た回路素子については、変位開始時点において $V_1 \geq V_2$ 及び $V_3 < V_2$ となるように駆動し、非選択状態の回路素子については、 $V_2 \leq V_3 \leq V_1$ となるように駆動することを特徴とする。

【0063】

この場合、前記負荷は、インダクタを有し、電圧により該インダクタに流れる電流によって制御されるインダクタの磁化によって、制御対象の変位を制御するようにしてもよい。前記インダクタは、磁束密度-磁界特性曲線がヒステリシスを持ち、飽和磁束密度と残留磁束密度がほぼ同じである特性を有するようにしてもよい。前記負荷は、圧電素子を有し、該圧電素子での逆圧電効果によって制御対象を変位制御するようにしてもよいし、あるいは、少なくとも一対の対向する電極を有し、前記少なくとも一対の電極間に電圧を印加したときに働く静電気力によって制御対象を変位制御するようにしてもよい。

【0064】

上述の制御装置の駆動方法においては、非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがなく、低消費電力を図ることができ、しかも、低電圧駆動が可能となる。

【発明の効果】

【0065】

以上説明したように、本発明に係る回路素子、信号処理回路及び制御装置によれば、非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがなく、低消費電力を図ることができ、しかも、低電圧駆動が可能となる。

【0066】

また、本発明に係る表示装置及び表示装置の駆動方法によれば、非選択状態の画素が、選択状態の画素への信号によって影響を受けることなく、各画素でのメモリ効果を実現でき、高輝度化、高コントラスト化を図ることができる。

【0067】

また、本発明に係る回路素子の駆動方法及び制御装置の駆動方法によれば、非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがなく、低消費電力を図ることができ、しかも、低電圧駆動が可能となる。

【発明を実施するための最良の形態】

【0068】

以下、本発明に係る回路素子、信号処理回路、制御装置、表示装置、表示装置の駆動方法、回路素子の駆動方法及び制御装置の駆動方法の実施の形態例を図1～図42を参照しながら説明する。

【0069】

本実施の形態に係る回路素子10は、図1に示すように、第1の配線12と、第2の配線14と、第3の配線16と、第1の配線12と第2の配線14との間にそれぞれ順方向に直列接続された第1及び第2の整流素子D1及びD2と、第1及び第2の整流素子D1及びD2の接続点18と第3の配線16との間に接続された負荷20とを有する。

【0070】

また、本実施の形態に係る信号処理回路30は、図2に示すように、上述した1以上の回路素子10と制御回路32とを有する。図示の例では、2つの回路素子10と1つの制御回路32を示す。

【0071】

そして、制御回路32は、第1の配線12の電位を V_1 、第2の配線14の電位を V_2 としたとき、図3に示すように、動作期間の全期間にわたって、 $V_1 \geq V_2$ となるように制御している。

【0072】

また、制御回路32は、動作期間のうち、第3の配線16から負荷20に電流が流れる第1の期間においては、 $V_1 < V_3$ となるように制御し、第2の配線14から負荷20に電流が流れる第2の期間においては、 $V_2 > V_3$ となるように制御し、負荷20への導通

を禁止する第3の期間においては、 $V2 \leq V3 \leq V1$ となるように制御する。

【0073】

ここで、例えば第1の配線12からの信号によって任意の回路素子10の選択／非選択を行わせる場合を想定したとき、非選択状態の回路素子10については、上述の動作期間のうち、第3の期間にあることから、2つの整流素子D1及びD2がそれぞれ逆バイアスとなって、電流を遮断するように機能させることが可能となる。なお、選択状態にある回路素子10は、第1の期間あるいは第2の期間にある。そのため、非選択状態にある回路素子10は、選択状態にある回路素子10に供給される信号によって影響を受けることがない。従って、本実施の形態に係る回路素子10及び信号処理回路30においては、低消費電力を図ることができ、低電圧駆動が可能となる。

【0074】

しかも、整流素子D1及びD2は、1方向のみに電流を流すというごく単純で一般的な機能を有していればよい。安定した特性を得やすい。整流素子D1及びD2は、順方向のしきい値電圧が小さく、逆方向の等価静電容量が小さいため、非選択時に負荷20に印加される電圧を精度の高い電圧（ほぼ設計通りの電圧）にすることができる。整流素子D1及びD2を挿入しても、駆動電圧を増加させる必要はほとんどない。

【0075】

また、従来のバッシュマトリックス駆動方式や非線形抵抗素子によるアクティブマトリックス駆動方式と比較して低電圧駆動が可能である。また、従来のTF Tを用いたアクティブマトリックス駆動方式と比較して、回路構成が単純であり、低コスト化に有利になる。しかも、従来のTF Tでは困難な、より高耐圧を必要とする場合にも適用できる。

【0076】

また、本実施の形態に係る信号処理回路30においては、多数の回路素子10を用意し、これら回路素子10を任意に配列させて、各回路素子10の電圧、電流を制御することができることから、変位、位置、温度、光、圧力等の制御システムとしても利用することができる。

【0077】

また、信号処理回路30は、伝送システム、例えば、多数のバスから任意のバスを選択し、該選択されたバスに信号を供給する伝送システムに適用する場合にも好適である。この場合、スイッチング回路を用いることなく（ノイズの発生がない）、しかも、バス間でのクロストークを発生させることなく、スムーズに切り替えを行うことができる伝送システムを得ることができる。

【0078】

第1及び第2の整流素子D1及びD2は、ダイオードであってもよい。この場合、ダイオードは薄膜ダイオードであってもよい。薄膜ダイオードはMIM素子であってもよい。また、TF Tやバイポーラトランジスタ、あるいはMOSトランジスタ等の3端子素子を用いて整流素子を形成するようにしてもよい。

【0079】

特に、第1及び第2の整流素子D1及びD2をMIM素子にて構成した場合は、多数の回路素子10を配列、集積する場合や、薄型の回路素子10や装置を構成する場合等において特に効果的である。セラミック基板やシリコンウェーハ等の上に多数の回路素子10を形成してもよいし、それらの基板上に第1及び第2の整流素子D1及びD2を形成したものと、負荷20とを接続することで形成しても好ましい。

【0080】

また、第1及び第2の整流素子D1及びD2の間には、本発明の趣旨を逸脱しない範囲で、何らかの素子が存在していてもよい。例えば異常電圧によって貫通電流が生じた場合の保護の目的や、突入電流防止あるいはノイズ低減の目的等で、抵抗素子やインダクタ等が挿入接続されていてもよい。これは、第1の配線12と第1の整流素子D1、第2の配線14と第2の整流素子D2、第3の配線16と負荷20、負荷20と第1の整流素子D1あるいは負荷20と第2の整流素子D2との間に存在していてもよい。

【0081】

また、第2の配線14の電位が、第1の配線12の電位より高くなった場合に、貫通電流が流れて回路素子10が破壊されるおそれがあるが、これを防止するために、回路素子10とは別に、第1の配線12と第2の配線14との間にバイパスコンデンサやツェナーダイオード、バリスタ等の素子を挿入して、回路素子10を保護するようにすることも好ましい。

【0082】

次に、本実施の形態に係る回路素子10と信号処理回路30を表示装置に適用した実施の形態例について図4～図29Cを参照しながら説明する。

【0083】

まず、第1の実施の形態に係る表示装置40Aは、図4に示すように、多数の画素42がマトリックス状に配列された表示部44と、多数の画素42の行数に応じた本数の選択線46と、多数の画素42の列数に応じた本数の信号線48と、多数の画素42の列数に応じた本数のリセット線50とを有する。

【0084】

また、この表示装置40Aは、垂直シフト回路52と、水平シフト回路54と、信号制御回路56とを有する。

【0085】

垂直シフト回路52は、選択線46に選択的に選択信号 S_s を供給して、1行単位に画素42を順次選択する。水平シフト回路54は、信号線48に平行に画素信号 S_d を出力する。各リセット線50には、信号制御回路56を通じて共通のリセット信号 S_r が供給される。

【0086】

画素42は、選択線46とリセット線50との間にそれぞれ順方向に直列接続された第1及び第2の整流素子D1及びD2と、第1及び第2の整流素子D1及びD2の接続点58と信号線48との間に接続された容量性負荷60とを有する。

【0087】

容量性負荷60における両端電圧 V_c と蓄積電荷 Q との関係は、図5の特性に示すように、両端電圧 $V_c = 0$ (V) を基準としたヒステリシス曲線を描く。例えば両端電圧 V_c を100Vから-150Vにした場合、点P1→P2→P3の順番で変化し、点P3に到達した時点で発光が行われる。その後、両端電圧 V_c を100Vに上昇させた場合、点P3→P4→P1の順番で変化して、元の点P1に戻る。

【0088】

ここで、この表示装置40Aの駆動方式について、2行走査を例にとって図6を参照しながら説明する。なお、図6は、1行目の画素に関するタイミングチャートを示す。

【0089】

まず、時点 t_0 において、1行目の画素42の選択期間 T_{s1} に入る。このとき、リセット信号 S_r は低レベル（例えば0V）に変化し、選択信号 S_s は高レベル（例えば260V）を維持し、画素信号 S_d は低レベル（例えば0V）を維持している。接続点58の電位 V_a は100Vとなっている。この状態は、第1及び第2の整流素子D1及びD2が共に逆バイアスされて非導通の状態であり、容量性負荷60の両端に、正極性の電圧（例えば100V）が印加された状態（第1の電圧状態）が維持される。

【0090】

次の時点 t_1 において、画素信号 S_d が高レベル（例えば150V）に変化すると、接続点58の電位 V_a が250Vまで立ち上がるが、選択信号 S_s が高レベルを維持しているため、容量性負荷60の両端電圧 V_c は変化しない。

【0091】

次の時点 t_2 において、選択信号 S_s が低レベル（例えば0V）に変化すると、第1の整流素子D1が順バイアスされて導通状態となり、接続点58の電位 V_a は250Vから0Vまで急峻に下がる。これにより、容量性負荷60の両端電圧 V_c が-150Vまで急

峻に低下すると同時に該容量性負荷 60 にて発光が行われる。この発光状態は、画素信号 S_d が立ち下がるまで（時点 t_3 まで）維持される。つまり、この容量性負荷 60 は、印加される第 2 の電圧状態 P_n の開始時点で発光が開始され、該第 2 の電圧状態 P_n の終了時点で発光が終了する発光特性を有することになる。従って、画素信号 S_d のパルス幅、特に、立ち下がりタイミングを、信号制御回路 56 において当該画素 42 の階調レベルに応じて変調することによって、当該画素 42 の階調レベルに応じた発光輝度を得ることができる。

【0092】

次の時点 t_3 において、画素信号 S_d が低レベル（例えば 0 V）に変化すると、接続点 58 の電位 V_a が -150 V 付近まで低下し、これに伴って、第 2 の整流素子 D_2 が導通し、容量性負荷 60 の両端電圧は 0 V となる。

【0093】

次の時点 t_4 において、1 行目の画素 42 のリセット期間 T_{r1} に入り、その後の時点 t_5 において、リセット信号 S_r が高レベル（例えば 100 V）に変化すると、この画素 42 の CR 時定数に応じた時間で充電が行われ、容量性負荷 60 の両端電圧 V_c は 100 V まで復帰する。

【0094】

そして、次の時点 t_7 から 2 行目の画素 42 の選択期間 T_{s2} 並びにリセット期間 T_{r2} （1 行目の画素の非選択期間）に入るが、この期間 T_{s2} 及び T_{r2} では、1 行目の選択信号 S_s が高レベルを維持しているため、画素信号 S_d のレベルが変化して、接続点 58 の電位 V_a が変化しても、これらのレベルは 1 行目の選択信号 S_s の高レベル以下となっているため、1 行目の画素 42 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 には逆バイアスがかかり、共に非導通状態が維持される。

【0095】

そのため、1 行目の画素 42 は、2 行目の画素 42 に対する画素信号 S_d の影響を受けることがない。また、この 1 行目の非選択期間において、1 行目の画素 42 の容量性負荷 60 には電荷が保持されているため、この非選択期間において容量性負荷 60 での充放電で生じる消費電力はほぼゼロである。寄生容量（ \ll 負荷容量）によるのみとなる。

【0096】

上述の駆動方法は、第 2 の電圧状態 P_n の開始時点で発光が開始し、終了時点で発光終了する特性を有する場合に特に好ましく用いられる。また、第 2 の電圧状態 P_n の印加期間に、パルス状の発光特性を有する場合でも効果がある。パルス状の発光特性の波高値や継続時間が、第 2 の電圧状態 P_n での電圧値や時間幅で変化する場合には、より効果的に用いられる。

【0097】

この駆動方式を例えば 4 行走査の場合に適用すると、図 7 に示すように、1 枚の画像の表示期間を 1 フレームとしたとき、該 1 フレームを 4 つの期間に分離し、最初の期間に選択期間及びリセット期間を設定し、残りの期間にそれぞれ非選択期間（選択信号 S_s が高レベルを維持した期間）及びリセット期間を設定すればよい。なお、図 7 の例では、リセット期間は、1 フレーム内の選択期間の直後並びに非選択期間の直後に挿入設定するようにしているが、1 フレーム内で 1 つ又はそれ以上間引いてもよい。

【0098】

そして、画素 42 の階調制御としては、図 8 A～図 8 C に示すパルス幅変調による方式や図 9 A～図 9 C に示す電圧制御による方式がある。

【0099】

パルス幅変調方式は、画素信号 S_d のパルス幅を画素の階調レベルに応じて変調することによって（図 6 参照）、第 2 の電圧状態 P_n の終了時点を変化させることで、画素 42 の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図 8 B 及び図 8 C に示すように、光の出力期間 T_L が画素信号 S_d のパルス幅に応じて変化する。

【0100】

電圧制御方式は、画素信号 S_d の振幅を画素の階調レベルに応じて制御することによって、図 9 A に示すように、第 2 の電圧状態 P_n の振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図 9 B 及び図 9 C に示すように、光の出力レベルが画素信号 S_d の振幅に応じて変化する。

【0101】

このように、第 1 の実施の形態に係る表示装置 40 A においては、非選択行の画素 42 について、第 1 及び第 2 の整流素子 D_1 及び D_2 がそれぞれ逆バイアスとなって、電流を遮断するように機能させることが可能となる。そのため、非選択行の画素 42 は、選択行の画素 42 に供給される画素信号 S_d によって影響を受けることがない。その結果、低消費電力を図ることができ、低電圧駆動が可能となる。しかも、各画素 42 にメモリ効果を持たせた駆動を行うことができ、非選択時にある一定のバイアス電圧を印加しておくことができるため、画像パターンによらない安定した動作が可能となる。

【0102】

もちろん、上述したように、従来のパッシブマトリックス駆動方式や非線形抵抗素子によるアクティブマトリックス駆動方式と比較して低電圧駆動が可能である。また、従来の TFT を用いたアクティブマトリックス駆動方式と比較して、回路構成が単純であり、低コスト化に有利になる上、従来の TFT では困難な、より高耐圧を必要とする場合にも適用できる。

【0103】

次に、第 2 の実施の形態に係る表示装置 40 B について図 10 ~ 図 16 C を参照しながら説明する。

【0104】

この第 2 の実施の形態に係る表示装置 40 B は、上述した第 1 の実施の形態に係る表示装置 40 A とほぼ同様の構成を有するが、図 10 に示すように、リセット線 50 が画素 42 の行数に応じた本数だけ配線され、しかも、選択線 46 とリセット線 50 とが一对となっている点で異なる。各リセット線 50 には、その行に関するリセット信号 S_r が例えば垂直シフト回路 52 を通じて供給されるようになっている。また、画素 42 の構成並びに容量性負荷 60 の発光特性も若干異なる。

【0105】

画素 42 は、リセット線 50 と信号線 48 との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子 D_1 及び D_2 と、第 1 及び第 2 の整流素子 D_1 及び D_2 の接続点 58 と選択線 46 との間に接続された容量性負荷 60 とを有する。

【0106】

この容量性負荷 60 は、図 11 A 及び図 11 B に示すように、印加される第 2 の電圧状態 P_n (例えば $-10V$) の開始時点で発光が開始され、該第 2 の電圧状態 P_n の終了時点で発光が終了する発光特性を有する。

【0107】

ここで、この表示装置 40 B の駆動方式について、2 行走査を例にとって図 12 を参照しながら説明する。なお、図 12 は、1 行目の画素に関するタイミングチャートを示す。

【0108】

まず、時点 t_{10} において、1 行目の画素の選択期間 T_{s1} に入る。このとき、リセット信号 S_r は高レベル (例えば $140V$) を維持し、選択信号 S_s は低レベル (例えば $50V$) に変化し、画素信号 S_d は低レベル (例えば $0V$) を維持している。この状態は、第 1 及び第 2 の整流素子 D_1 及び D_2 が共に逆バイアスされて非導通の状態であり、接続点 58 での電位 V_a は画素信号 S_d のレベル ($0V$) となる。容量性負荷 60 の両端には、正極性の電圧 (例えば $50V$) が印加された状態が維持される。

【0109】

次の時点 t_{11} において、画素信号 S_d が高レベル (例えば $60V$) に変化すると、第 2 の整流素子 D_2 が順バイアスされて導通状態となり、接続点 58 の電位 V_a は $0V$ から $60V$ まで急峻に上がる。これにより、容量性負荷 60 の両端電圧 V_c が $-10V$ まで急

峻に降下すると同時に該容量性負荷 60 にて発光が行われる。この発光状態は、リセット信号 S_r が立ち下がるまで（時点 t_{16} まで）維持される。

【0110】

次の時点 t_{12} において、画素信号 S_d が低レベル（0 V）に変化すると、再び第 2 の整流素子 D_2 が逆バイアスされて非導通の状態となり、接続点 58 での電位 V_a は 60 V を維持し、容量性負荷 60 の両端電圧 V_c も -10 V が維持される。

【0111】

次の時点 t_{13} において、選択信号 S_s が高レベル（例えば 120 V）に変化すると、接続点 58 の電位 V_a が 130 V まで立ち上がるが、リセット信号 S_r が高レベルを維持しているため、容量性負荷 60 の両端電圧 V_c は変化しない。

【0112】

そして、次の時点 t_{14} から 2 行目の画素 42 の選択期間 T_{s2} （1 行目の非選択期間）に入るが、この選択期間 T_{s2} では、1 行目のリセット信号 S_r が高レベルを維持しているため、画素信号 S_d のレベルが変化しても、接続点 58 での電位 V_a は変化せず、しかも、これらのレベルは 1 行目のリセット信号 S_r の高レベル以下となっているため、1 行目の画素 42 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 には逆バイアスがかかり、共に非導通状態が維持される。

【0113】

そのため、1 行目の画素 42 は、2 行目の画素 42 に対する画素信号 S_d の影響を受けることがない。しかも、非選択期間において容量性負荷 60 で消費される電力はほぼゼロであり、低消費電力の効果が大きい。また、容量性負荷 60 は、非選択期間に電荷を保持し続けることから、発光を持続させることができ、高輝度化、高コントラスト化を実現できる。なお、1 行目の画素が消光したままとする場合においても、選択期間 T_{s2} の間には、接続点 58 の電位 V_a は 70 V のままであり、1 行目の画素 42 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 には逆バイアスがかかり、共に非導通状態が維持される。

【0114】

時点 t_{15} から 1 行目の画素のリセット期間 T_{r1} に入り、選択信号 S_s が低レベルに変化すると、接続点 58 の電位 V_a が 60 V まで下がる。このとき、リセット信号 S_r が高レベルを維持しているため、容量性負荷 60 の両端電圧 V_c は変化しない。

【0115】

次の時点 t_{16} において、1 行目のリセット信号 S_r が低レベル（例えば 0 V）に変化すると、第 1 の整流素子 D_1 が順バイアスされて導通状態となり、接続点 58 の電位 V_a は 60 V から 0 V まで急峻に下がる。これにより、容量性負荷 60 の両端電圧 V_c が 50 V まで急峻に上昇し、最初のリセット状態となる。

【0116】

この駆動方式を例えば 4 行走査に適用する場合、図 13 A に示す方式あるいは図 13 B に示す方式を採用することができる。

【0117】

図 13 A に示す方式は、1 フレームを 4 つの期間（サブフィールド）に分離し、さらに、1 サブフィールドを 4 つの期間に分離する。最初の 3 つのサブフィールドについては、各サブフィールドについて、最初の期間に選択期間を設定し、残りの 3 つの期間に非選択期間を設定する。残りの 1 つのサブフィールドについては、最初の期間にリセット期間を設定し、残りの 3 つの期間に非選択期間を設定する。この方式の場合、時間階調制御に好適である。

【0118】

一方、図 13 B に示す方式は、1 フレームを 8 つ以上の期間に分離し、各フレームの第 1 の期間に選択期間を設定し、各フレームの最終期間にリセット期間を設定し、残りの期間に非選択期間を設定する。この方式によれば、リセット期間後の非選択期間における消光時間をなくし、輝度向上の効果がある。

【0119】

なお、図 13 A に示す方式と図 13 B に示す方式とを組み合わせるようにしてもよい。

【0120】

そして、画素の階調制御としては、図 14 A ～図 14 C に示す位相変調による方式（時間階調制御）や図 15 A ～図 15 C に示すパルス幅変調による方式、並びに図 16 A ～図 16 C に示す電圧制御による方式がある。

【0121】

位相変調による方式は、図 16 A に示すように、画素信号 S_d に含まれるトリガ信号 P_t の位相を画素の階調レベルに応じて変調することによって、図 14 B に示すように、第 2 の電圧状態 P_n の開始時点を変化させる。このときの光出力波形は、図 14 C に示すように、光の出力期間 T_L がトリガ信号 P_t の位相に応じて変化する。

【0122】

パルス幅変調方式は、図 15 A に示すように、画素信号 S_d のパルス幅 W を画素の階調レベルに応じて変調することによって、図 15 B に示すように、第 2 の電圧状態 P_n の振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図 15 C に示すように、光の出力レベルが画素信号 S_d のパルス幅 W に応じて変化する。

【0123】

電圧制御方式は、図 16 A に示すように、画素信号 S_d の振幅を画素の階調レベルに応じて制御することによって、図 16 B に示すように、第 2 の電圧状態 P_n の振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図 16 C に示すように、光の出力レベルが画素信号 S_d の振幅に応じて変化する。なお、発光／非発光と第 2 の電圧状態 P_n の極性は、上述の例と逆であってもよい。また、第 2 の電圧状態 P_n の極性を反転させないで発光／非発光の制御ができる画素であっても、適切に電圧を決めるだけで同様の効果を得ることができる。

【0124】

次に、第 3 の実施の形態に係る表示装置 40 C について図 17 ～図 23 を参照しながら説明する。

【0125】

この第 3 の実施の形態に係る表示装置 40 C は、上述した第 2 の実施の形態に係る表示装置 40 B とほぼ同様の構成を有するが、図 17 に示すように、リセット線 50 の代わりに容量性負荷 60 の放電を指示する放電指示線 70 が画素の行数に応じた本数だけ配線されている点で異なる。各放電指示線 70 には、その行に関する放電指示信号 S_h が例えば垂直シフト回路 52 を通じて供給されるようになっている。また、容量性負荷 60 の発光特性も若干異なる。

【0126】

この容量性負荷 60 は、図 18 及び図 19 B に示すように、所定期間（例えば 1 フレーム： T ）に対する第 1 の電圧状態 P_p の出力期間 τ のデューティ比 $\{(\tau/T) \times 100 (\%) \}$ に応じて光量に変化する特性を有する。

【0127】

従って、階調制御として位相変調による方式を容易に適用させることができる。すなわち、図 19 A に示すように、画素信号 S_d に含まれるトリガ信号 P_t の位相を画素の階調レベルに応じて変調することによって、図 19 B に示すように、第 1 の電圧状態 P_p の開始時点を変化させる。このときの光出力波形は、図 19 C に示すように、容量性負荷 60 の放電期間 T_h に出力される光の出力レベルがトリガ信号 P_t の位相に応じて変化する。

【0128】

また、この容量性負荷 60 として、図 20 及び図 21 B に示すように、第 1 の電圧状態 P_p の蓄積電圧 V_{cs} に応じて光量に変化する特性を有するものを使用することができる。

【0129】

この場合、図 21 A ～図 21 C に示すパルス幅変調による方式や図 22 A ～図 22 C に

示す電圧制御による方式を採用することができる。

【0130】

パルス幅変調方式は、図21Aに示すように、画素信号S_dのパルス幅Wを画素の階調レベルに応じて変調することによって、図21Bに示すように、第1の電圧状態P_pの振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図21Cに示すように、容量性負荷60の放電期間T_hに出力される光の出力レベルが画素信号S_dのパルス幅Wに応じて変化する。

【0131】

電圧制御方式は、図22Aに示すように、画素信号S_dの振幅を画素の階調レベルに応じて制御することによって、図22Bに示すように、第1の電圧状態P_pの振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図22Cに示すように、容量性負荷60の放電期間T_hに出力される光の出力レベルが画素信号S_dの振幅に応じて変化する。

【0132】

ここで、この表示装置40Cの駆動方式について、2行走査を例にとって図23を参照しながら説明する。なお、図23は、1行目の画素に関するタイミングチャートを示す。

【0133】

まず、時点t₂₀において、1行目の画素の選択期間T_{s1}に入る。このとき、放電指示信号S_hは高レベル（例えば260V）を維持し、選択信号S_sは高レベル（例えば150V）を維持し、画素信号S_dは高レベル（例えば100V）に変化する。この状態は、第1及び第2の整流素子D₁及びD₂が共に逆バイアスされて非導通の状態であり、接続点58での電位V_aは選択信号S_sのレベル（150V）となる。容量性負荷60の両端には、基準電圧（例えば0V）が印加された状態が維持される。

【0134】

次の時点t₂₁において、選択信号S_sが低レベル（例えば0V）に変化すると、第1の整流素子D₁が順バイアスされて導通状態となり、接続点58の電位V_aは150Vから0Vまで急峻に下がるが、続いて容量性負荷60での充電が開始され、接続点58の電位V_aが徐々に上昇する。この充電は、画素信号S_dが低レベルになる時点t₂₂まで行われる。この時点t₂₂において、例えば容量性負荷60に100Vが充電された場合、再び第1の整流素子D₁が逆バイアスされて非導通の状態となり、接続点58の電位V_aも100Vとなる。この充電状態は、放電指示信号S_hが立ち下がるまで（時点t₂₅まで）維持される。

【0135】

次の時点t₂₃において、選択信号S_sが高レベル（例えば150V）に変化すると、接続点58の電位V_aが250Vまで立ち上がるが、放電指示信号S_hが高レベルを維持しているため、容量性負荷60の両端電圧V_cは変化しない。

【0136】

そして、次の時点t₂₄から2行目の画素の選択期間T_{s2}に入るが、この選択期間T_{s2}では、1行目の放電指示信号S_hが高レベルを維持しているため、画素信号S_dのレベルが変化しても、接続点58での電位V_aは変化せず、しかも、これらのレベルは1行目の放電指示信号S_hの高レベル以下となっているため、1行目の画素42に関する第1及び第2の整流素子D₁及びD₂には逆バイアスがかかり、共に非導通状態が維持される。

【0137】

そのため、1行目の画素42は、2行目の画素42に対する画素信号S_dの影響を受けることがない。また、非選択期間において容量性負荷60で消費される電力はほぼゼロであり、低消費電力の効果も大きい。なお、1行目の画素信号S_dが0Vのままだった場合でも、2行目の選択期間T_{s2}に接続点58の電位V_aは150Vとなって、1行目の画素に関する第1及び第2の整流素子D₁及びD₂には逆バイアスがかかり、共に非導通状態が維持される。

【0138】

時点 t_{25} から 1 行目の画素 42 の放電期間 T_h に入り、1 行目の放電指示信号 S_h が低レベル（例えば 0 V）に変化すると、第 1 の整流素子 D_1 が順バイアスされて導通状態となり、接続点 58 の電位 V_a は 250 V から 0 V まで急峻に下がる。これにより、容量性負荷 60 の両端電圧 V_c が -150 V まで急峻に降下すると同時に該容量性負荷 60 にて発光が行われる。この発光状態は、選択信号 S_s が立ち下がるまで（時点 t_{26} まで）維持される。

【0139】

時点 t_{26} において、1 行目の選択信号 S_s が低レベル（例えば 0 V）に変化すると、第 2 の整流素子 D_2 が順バイアスされて導通状態となり、接続点 58 の電位 V_a は 0 V から -150 V まで急峻に下がるが、続いて容量性負荷 60 での充電が開始されることから、接続点 58 の電位 V_a が徐々に上昇し、接続点 58 及び容量性負荷 60 の両端電圧 V_c は共に 0 V となる。

【0140】

なお、この駆動方式を例えば 4 行走査に適用する場合、上述した図 13 A に示す方式あるいは図 13 B に示す方式を採用することができる。

【0141】

次に、第 4 の実施の形態に係る表示装置 40 D について図 24 を参照しながら説明する。

【0142】

この第 4 の実施の形態に係る表示装置 40 D は、上述した第 2 の実施の形態に係る表示装置 40 B とほぼ同様の構成を有するが、以下の点で異なる。

【0143】

すなわち、画素 42 は、第 1 の線 80 と第 2 の線 82 との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子 D_1 及び D_2 と、第 1 及び第 2 の整流素子 D_1 及び D_2 の接続点 58 と信号線 48 との間に接続された容量性負荷 60 とを有する。

【0144】

また、図 25 や図 27 A ～図 27 C 等 に示すように、1 フレームが 2 つのフィールド（第 1 及び第 2 のフィールド F_1 及び F_2 ）に分離され、第 1 のフィールド F_1 と第 2 のフィールド F_2 とにおいて、画素信号 S_d がそれぞれ論理反転するように制御される。

【0145】

例えば図 27 B 及び図 27 C に示すように、第 1 のフィールド F_1 では、容量性負荷 60 に第 2 の電圧状態 P_n が印加されている期間において発光が行われ、第 2 のフィールド F_2 では、容量性負荷 60 に第 1 の電圧状態 P_p が印加されている期間において発光が行われるように制御される。

【0146】

従って、第 1 のフィールド F_1 では、第 1 の線 80 が選択線として機能し、第 2 の線 82 がリセット線として機能する。第 2 のフィールド F_2 では、反対に、第 1 の線 80 がリセット線として機能し、第 2 の線 82 が選択線として機能する。このことから、以下の説明では、第 1 の線 80 を伝送する信号を第 1 の信号 S_1 と記し、第 2 の線 82 を伝送する信号を第 2 の信号 S_2 と記す。

【0147】

ここで、この表示装置 40 D の駆動方式について、2 行走査を例にとって図 25 を参照しながら説明する。なお、図 25 は、1 行目の画素に関するタイミングチャートを示す。

【0148】

まず、時点 t_{30} において、第 1 のフィールド F_1 における 1 行目の画素の選択期間 T_{s11} に入る。このとき、第 1 の信号 S_1 は低レベル（例えば 0 V）に変化し、第 2 の信号 S_2 は低レベル（例えば -110 V）を維持し、画素信号 S_d は低レベル（例えば 0 V）を維持している。この状態は、第 1 及び第 2 の整流素子 D_1 及び D_2 が共に逆バイアスされて非導通の状態であり、接続点 58 での電位 V_a は画素信号 S_d のレベル（0 V）と

なる。容量性負荷 60 の両端には、0 V が印加された状態が維持される。

【0149】

次の時点 t_{31} において、画素信号 S_d が高レベル（例えば 100 V）に変化すると、第 1 の整流素子 D_1 が順バイアスされて導通状態となり、容量性負荷 60 の両端電圧 V_c が -100 V まで急峻に降下すると同時に該容量性負荷 60 にて発光が行われる。この発光状態は、第 2 の信号 S_2 が立ち上がるまで（時点 t_{36} まで）維持される。

【0150】

次の時点 t_{32} において、画素信号 S_d が低レベル（0 V）に変化すると、再び第 1 の整流素子 D_1 が逆バイアスされて非導通の状態となり、接続点 58 での電位 V_a は容量性負荷 60 の両端電圧 V_c と同じ、-100 V になる。

【0151】

次に時点 t_{33} において、第 1 の信号 S_1 が高レベル（例えば 210 V）に変化する。これは、次の 2 行目の選択期間 T_{s12} （1 行目の非選択期間）において、2 行目の画素 42 への画素信号 S_d が 1 行目の画素 42 に影響を与えないようにするための準備処理である。

【0152】

そして、次の時点 t_{34} から 2 行目の画素の選択期間 T_{s12} （1 行目の非選択期間）に入るが、この選択期間 T_{s12} では、1 行目の第 1 の信号 S_1 が高レベルを維持しているため、画素信号 S_d のレベルが変化して、接続点 58 の電位 V_a が変化しても、これらのレベルは 1 行目の第 1 の信号 S_1 の高レベル以下となっているため、1 行目の画素 42 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 には逆バイアスがかかり、共に非導通状態が維持される。

【0153】

そのため、1 行目の画素 42 は、2 行目の画素 42 に対する画素信号 S_d の影響を受けることがない。しかも、非選択期間において容量性負荷 60 で消費される電力はほぼゼロであり、低消費電力の効果が大きい。また、容量性負荷 60 は、非選択期間に電荷を保持し続けることから、発光を持続させることができ、高輝度化、高コントラスト化を実現できる。

【0154】

時点 t_{35} から 1 行目の画素 42 のリセット期間 T_{r11} に入り、画素信号 S_d が高レベル（例えば 100 V）に変化すると、接続点 58 の電位 V_a が 0 V まで上昇する。このとき、第 1 の信号 S_1 が高レベルを維持しているため、容量性負荷 60 の両端電圧 V_c は変化しない。

【0155】

次の時点 t_{36} において、1 行目の第 2 の信号 S_2 が高レベル（例えば 100 V）に変化すると、第 2 の整流素子 D_2 が順バイアスされて導通状態となり、接続点 58 の電位 V_a は 0 V から 100 V まで急峻に上昇する。これにより、容量性負荷 60 の両端電圧 V_c が 0 V まで急峻に上昇し、最初のリセット状態となる。

【0156】

次の時点 t_{37} において、1 行目の第 2 の信号 S_2 が低レベル（例えば -110 V）に変化すると、再び第 2 の整流素子 D_2 が逆バイアスされて非導通の状態となり、接続点 58 での電位 V_a は 100 V を維持し、容量性負荷 60 の両端電圧 V_c も 0 V に維持される。

【0157】

次の 2 行目の画素 42 に対するリセット期間 T_{r12} を経て、次の時点 t_{38} において、第 2 のフィールド F_2 における 1 行目の画素 42 の選択期間 T_{s21} に入る。このとき、第 1 の信号 S_1 は高レベル（例えば 210 V）を維持し、第 2 の信号 S_2 は高レベル（例えば 100 V）に変化し、画素信号 S_d は高レベル（例えば 100 V）を維持している。この状態は、第 1 及び第 2 の整流素子 D_1 及び D_2 が共に逆バイアスされて非導通の状態であり、接続点 58 での電位 V_a は画素信号 S_d のレベル（100 V）となる。容量性

負荷 6 0 の両端には、0 V が印加された状態が維持される。

【0 1 5 8】

次の時点 t_{39} において、画素信号 S_d が低レベル（例えば 0 V）に変化すると、第 2 の整流素子 D_2 が順バイアスされて導通状態となり、容量性負荷 6 0 の両端電圧 V_c が 1 0 0 V まで急峻に上昇すると同時に該容量性負荷 6 0 にて発光が行われる。この発光状態は、第 1 の信号 S_1 が立ち下がるまで（時点 t_{44} まで）維持される。

【0 1 5 9】

次の時点 t_{40} において、画素信号 S_d が高レベル（1 0 0 V）に変化すると、再び第 2 の整流素子 D_2 が逆バイアスされて非導通の状態となり、接続点 5 8 での電位 V_a は、容量性負荷 6 0 の両端電圧 V_c に画素信号 S_d の電圧が加わった電圧と同じ、2 0 0 V になる。

【0 1 6 0】

次の時点 t_{41} において、第 2 の信号 S_2 が低レベル（例えば -1 1 0 V）に変化する。

【0 1 6 1】

そして、次の時点 t_{42} から 2 行目の画素の選択期間 T_{s22} （1 行目の非選択期間）に入るが、この選択期間 T_{s22} では、1 行目の第 1 の信号 S_1 が高レベルを維持しているため、画素信号 S_d のレベルが変化して、接続点 5 8 の電位 V_a が変化しても、これらのレベルは 1 行目の第 1 の信号 S_1 の高レベル以下となっているため、1 行目の画素 4 2 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 には逆バイアスがかかり、共に非導通状態が維持される。

【0 1 6 2】

そのため、1 行目の画素 4 2 は、2 行目の画素 4 2 に対する画素信号 S_d の影響を受けることがない。

【0 1 6 3】

時点 t_{43} から 1 行目の画素 4 2 のリセット期間 T_{r21} に入り、画素信号 S_d が低レベル（例えば 0 V）に変化すると、接続点 5 8 の電位 V_a が 1 0 0 V まで降下する。このとき、第 1 の信号 S_1 が高レベルを維持しているため、容量性負荷 6 0 の両端電圧 V_c は変化しない。

【0 1 6 4】

次の時点 t_{44} において、1 行目の第 1 の信号 S_1 が低レベル（例えば 0 V）に変化すると、第 1 の整流素子 D_1 が順バイアスされて導通状態となり、接続点 5 8 の電位 V_a は 1 0 0 V から 0 V まで急峻に下がる。これにより、容量性負荷 6 0 の両端電圧 V_c が 0 V まで急峻に降下し、最初のリセット状態となる。

【0 1 6 5】

次の時点 t_{45} において、1 行目の第 1 の信号 S_1 が高レベル（例えば 2 1 0 V）に変化すると、再び第 1 の整流素子 D_1 が逆バイアスされて非導通の状態となり、接続点 5 8 での電位 V_a は 0 V を維持し、容量性負荷 6 0 の両端電圧 V_c も 0 V が維持される。

【0 1 6 6】

この駆動方式を例えば 4 行走査に適用する場合、図 2 6 A に示す方式あるいは図 2 6 B に示す方式を採用することができる。

【0 1 6 7】

図 2 6 A に示す方式は、第 1 のフィールド F_1 及び第 2 のフィールド F_2 をそれぞれ 4 つの期間（サブフィールド）に分離し、さらに、1 サブフィールドを 4 つの期間に分離する。最初の 3 つのサブフィールドでは、各サブフィールドについて、最初の期間に選択期間を設定し、残りの 3 つの期間に非選択期間を設定する。残りのサブフィールドについては、最初の期間にリセット期間を設定し、残りの 3 つの期間に非選択期間を設定する。第 2 のフィールド F_2 も同様に設定する。この方式の場合、時間階調制御に好適である。

【0 1 6 8】

一方、図 2 6 B に示す方式は、第 1 のフィールド F_1 及び第 2 のフィールド F_2 をそれ

それぞれ8つ以上の期間に分離する。例えば第1のフィールドF1において、第1の期間に選択期間を設定し、各フレームの最終期間にリセット期間を設定し、残りの期間に非選択期間を設定する。第2のフィールドF2も同様に設定する。この方式によれば、リセット期間後の非選択期間における消光時間をなくし、輝度向上の効果がある。

【0169】

なお、図26Aに示す方式と図26Bに示す方式とを組み合わせるようにしてもよい。

【0170】

そして、画素の階調制御としては、図27A～図27Cに示す位相変調による方式（時間階調制御）や図28A～図28Cに示すパルス幅変調による方式、並びに図29A～図29Cに示す電圧制御による方式がある。

【0171】

位相変調による方式は、図27Aに示すように、画素信号Sdに含まれる正極性のトリガ信号Pt1並びに負極性のトリガ信号Pt2の位相を画素の階調レベルに応じて変調することによって、図27Bに示すように、第2の電圧状態Pn並びに第1の電圧状態Ppの開始時点を変化させる。このときの光出力波形は、図27Cに示すように、光の出力期間がトリガ信号Pt1及びPt2の位相に応じて変化する。

【0172】

パルス幅変調方式は、図28Aに示すように、画素信号Sdのパルス幅W1及びW2を画素の階調レベルに応じて変調することによって、図28Bに示すように、第2の電圧状態Pn並びに第1の電圧状態Ppの振幅を変化させることで、画素の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図28Cに示すように、光の出力レベルがパルス幅に応じて変化する。

【0173】

電圧制御方式は、図29Aに示すように、画素信号Sdの振幅を画素の階調レベルに応じて制御することによって、図29Bに示すように、第2の電圧状態Pn並びに第1の電圧状態Ppの振幅を変化させることで、画素42の発光輝度を前記階調レベルに応じて変化させる。このときの光出力波形は、図29Cに示すように、光の出力レベルが画素信号Sdの振幅に応じて変化する。

【0174】

この電圧制御方式では、第1のフィールドF1において、画素信号SdのONレベルを例えば80V、OFFレベルを0Vとしたとき、第2のフィールドF2において論理反転して、画素信号SdのONレベルを例えば20V、OFFレベルを100Vというように、任意の階調を表現することができる。

【0175】

特に、この第4の実施の形態に係る表示装置40Dでは、第1のフィールドF1において、容量性負荷60に第2の電圧状態Pnが印加されて発光が行われると、第2の信号S2が高レベルになるまでその発光を維持し、さらに、第2のフィールドF2において、容量性負荷60に第1の電圧状態Ppが印加されて発光が行われると、第1の信号S1が低レベルになるまでその発光を維持する。つまり、2つのフィールドF1及びF2においてメモリ効果を持たせることができる。

【0176】

従って、高輝度を図る上でより有利になる。また、発光が電圧の実効値によって変化する場合も、実効値のダイナミックレンジを大きくとることができ、高輝度化、高コントラスト化をより図ることができる。しかも、容量性負荷として液晶セルを好ましく採用することができる。また、同じ実効値を得るための電圧が小さくて済むことから、低電圧化が可能となる。すなわち、マトリックス駆動では、行走査をしながら各画素に対して所定の電圧を印加していくが、画素の接続される行の選択期間内だけ所定の実効値を得るには、画素への印加電圧として高い電圧が必要となる。それに対して、第1～第4の実施の形態に係る表示装置40A～40Dにおいては、行の選択期間のみならず、画素が非選択状態の時間も電圧を保持し続けるため、同じ実効値を得るのに印加電圧（絶対値）が小さくて

済むという利点がある。

【0177】

なお、第1の電圧と第2の電圧とで、上述のように電圧値の絶対値やパルス幅を同じに設定することもできるし、異なる値やパルス幅に設定することも容易である。すなわち、第1のフィールドF1と第2のフィールドF2とで、画素信号Sdをそれぞれ論理反転するように制御しているところを、別々の信号として制御すればよい。

【0178】

上述した第2の実施の形態に係る表示装置40B並びに第4の実施の形態に係る表示装置40Dにおいて、容量性負荷60に並列に抵抗を接続し、選択時に容量性負荷60に充電された電荷を、非選択時に抵抗を通じて放電させるようにしてもよい。

【0179】

この場合、容量性負荷60と前記抵抗の時定数を適当に設定しておき、放電時間を有効に利用する。例えば、液晶表示素子においては、非選択期間に電圧が放電されてゼロに戻り、光透過率も元の値に戻るが、上述した例では、光透過率の時間平均値が選択期間に充電する電圧によって（又は選択期間に充電する回数によって）制御可能であるため、階調表現が可能である。しかも、リセット期間を設けることなく、容量性負荷60に充電された電荷をゼロに戻すことができるという利点がある。

【0180】

なお、例えば圧電材料を用いて変位を制御する場合においては、変位－電圧特性がヒステリシスを有しており、電圧を印加して変位を生じさせ、その後、電圧をゼロに戻しても変位が保持されている場合等にも有効である。また、例えば液晶表示素子において、電圧を印加して光透過率を低下させ、その後、電圧をゼロに戻しても光透過率が低下した状態を保持している場合にも有効である。

【0181】

さらに、第1～第4の実施の形態に係る表示装置40A～40Dでは、画素に交差的に電圧を印加することができる。画像パターンによらず画素の印加電圧から直流成分を排除したい場合に、効果的に用いられる。交流駆動方式を利用する表示素子に特に好ましく用いられ、液晶表示素子、エレクトロルミネッセンス表示素子には特に好適である。

【0182】

次に、本実施の形態に係る回路素子10と信号処理回路30を位置制御系の装置に適用した実施の形態例について図30～図35Bを参照しながら説明する。

【0183】

この実施の形態に係る位置制御装置90の回路素子10は、図30に示すように、第1の線80と第2の線82との間にそれぞれ順方向に直列接続された第1及び第2の整流素子D1及びD2と、第1及び第2の整流素子D1及びD2の接続点58と信号線48との間に接続された負荷92とを有する。この負荷92は、インダクタ94と抵抗96とが直列接続された構成を有する。

【0184】

インダクタ94と抵抗96とから構成される位置制御系のモデル98を図31に示す。このモデルは、天井からばね100を介して接続された制御対象102の位置Pが、インダクタ94に流れる電流*i*により生成される磁界によって制御されることを示す。すなわち、図32に示すように、インダクタ94に流れる電流*i*の大きさ並びに方向によって、前記位置Pを正方向（上方向）並びに負方向（下方向）に変化させることができる。つまり、少なくともインダクタ94は、制御対象の変位制御素子として機能することになる。

【0185】

インダクタに流れる電流*i*は、負荷92の両端電圧Vcと抵抗Rによって決まる。過渡状態を除けば、前記両端電圧VcはVc = Riとなる。

【0186】

そして、この位置制御装置90では、図33に示すように、例えば1行目の回路素子10の選択期間Ts1を2つの期間（正方向期間Ts1pと負方向期間Ts1n）に分離し

、制御対象102を正方向に移動させる場合は、正方向期間 T_{s1p} において制御対象102を駆動し、制御対象102を負方向に移動させる場合は、負方向期間 T_{s1n} において制御対象102を駆動するように制御する。

【0187】

ここで、前記位置制御装置90の駆動方式について、2行走査を例にとって図33及び図34を参照しながら説明する。なお、図33及び図34の波形は、1行目の回路素子10に関するタイミングチャートであって、特に、図33は、制御対象を正方向に変位駆動させる場合のタイミングチャートを示し、図34は、制御対象を負方向に変位駆動させる場合のタイミングチャートを示す。

【0188】

まず、図33の時点 t_{60} において、1行目の回路素子10の選択期間 T_{s1} における正方向期間 T_{s1p} に入る。このとき、第1の信号 S_1 は高レベル（例えば10V）を維持し、第2の信号 S_2 は低レベル（例えば0V）を維持し、データ信号 SD は高レベル（例えば10V）を維持している。この状態は、第1及び第2の整流素子 D_1 及び D_2 が共に逆バイアスされて非導通の状態であり、接続点58での電位 V_a は、データ信号 SD のレベル（10V）と同じになる。その結果、負荷92の両端電圧 V_c は0Vの状態が維持される。

【0189】

次の時点 t_{61} において、第1の信号 S_1 が低レベル（例えば0V）に変化すると、第1の整流素子 D_1 が順バイアスされて導通状態となり、接続点58の電位 V_a が0Vまで急峻に降下すると同時に、負荷92の両端電圧 V_c が高レベル（例えば10V）まで急峻に上昇し、これにより、インダクタ94に正方向に電流が流れ、制御対象102は正方向に移動する。

【0190】

次の時点 t_{62} において、第1の信号 S_1 が高レベル（例えば10V）に変化すると、再び第1の整流素子 D_1 が逆バイアスされて非導通状態となり、接続点58の電位 V_a が10Vまで急峻に上昇すると同時に、負荷92の両端電圧 V_c が低レベル（例えば0V）まで急峻に降下し、制御対象102は元の位置（ゼロ点）に向かって移動する。

【0191】

次の時点 t_{63} において、1行目の回路素子10の負方向期間 T_{s1n} に入る。この期間 T_{s1n} では、データ信号 SD が高レベル（例えば10V）を維持していることから、その後の時点 t_{64} において、第2の信号 S_2 が高レベル（例えば10V）に変化したとしても、第1及び第2の整流素子 D_1 及び D_2 は共に非導通の状態のままであり、負荷92の両端電圧 V_c は0Vの状態が維持される。すなわち、制御対象102はゼロ点に停止したままである。

【0192】

次の時点 t_{65} において、2行目の回路素子10の選択期間 T_{s2} （1行目の非選択期間）に入るが、この選択期間 T_{s2} では、1行目の第1の信号 S_1 が高レベルを維持しているため、データ信号 SD のレベルが変化して、接続点58の電位 V_a が変化しても、これらのレベルは1行目の第1の信号 S_1 の高レベル以下となっているため、1行目の回路素子10に関する第1及び第2の整流素子 D_1 及び D_2 は共に非導通状態が維持される。

【0193】

そのため、1行目の回路素子10は、2行目の回路素子10に対するデータ信号 SD の影響を受けることがない。しかも、非選択期間において負荷92へ流れる電流 i はほぼゼロであり、消費電力も小さくできる。

【0194】

次に、負方向への変位制御は、まず、図34の時点 t_{70} において、1行目の回路素子10の選択期間 T_{s1} に入る。この時点 t_{70} では、第1の信号 S_1 は高レベル（例えば10V）を維持し、第2の信号 S_2 は低レベル（例えば0V）を維持し、データ信号 SD は低レベル（例えば0V）に変化する。このとき、第1及び第2の整流素子 D_1 及び D_2

が共に非導通状態となっていることから、接続点の電位 V_a は 0 V まで急峻に降下する。その結果、負荷 92 の両端電圧 V_c は 0 V の状態が維持される。

【0195】

次の時点 t_{71} において、第 1 の信号 S_1 が低レベル（例えば 0 V）に変化しても、接続点の電位 V_a は依然 0 V が維持されることから、負荷 92 の両端電圧 V_c は 0 V の状態が維持される。

【0196】

次の時点 t_{72} において、第 1 の信号 S_1 が高レベルに変化すると、第 1 の整流素子 D_1 が逆バイアスされて非導通となり、接続点の電位 V_a は依然 0 V が維持され、負荷 92 の両端電圧 V_c は 0 V の状態が維持される。

【0197】

次の時点 t_{73} において、1 行目の回路素子 10 の負方向期間 T_{s1n} に入り、続く時点 t_{74} において、第 2 の信号 S_2 が高レベル（例えば 10 V）に変化すると、第 2 の整流素子 D_2 が導通状態となり、接続点 58 の電位 V_a が 10 V まで急峻に上昇すると同時に、負荷 92 の両端電圧 V_c が低レベル（例えば -10 V）まで急峻に降下し、これにより、インダクタ 94 に負方向に電流が流れ、制御対象 102 は負方向に移動する。

【0198】

次の時点 t_{75} において、第 2 の信号 S_2 が低レベル（例えば 0 V）に変化すると、再び第 2 の整流素子 D_2 が逆バイアスされて非導通状態となり、接続点 58 の電位 V_a が 0 V まで急峻に降下すると同時に、負荷 92 の両端電圧 V_c が高レベル（例えば 0 V）まで急峻に上昇し、制御対象 102 は元の位置（ゼロ点）に向かって移動する。

【0199】

次の時点 t_{76} において、2 行目の回路素子 10 の選択期間 T_{s2} （1 行目の非選択期間）に入るが、この選択期間 T_{s2} では、1 行目の第 1 の信号 S_1 が高レベルを維持しているため、データ信号 S_D のレベルが変化して、接続点 58 の電位 V_a が変化しても、これらのレベルは 1 行目の第 1 の信号 S_1 の高レベル以下となっているため、1 行目の回路素子 10 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 は共に非導通状態が維持される。

【0200】

そのため、1 行目の回路素子 10 は、2 行目の回路素子 10 に対するデータ信号 S_D の影響を受けることがない。しかも、非選択期間において負荷 92 へ流れる電流 i はほぼゼロであり、消費電力も小さくできる。

【0201】

この駆動方式を例えば 4 行走査の場合に適用する場合、図 35 A に示す方式あるいは図 35 B に示す方式を採用することができる。

【0202】

図 35 A に示す方式は、4 行の回路素子 10 に対してすべて位置制御が完了する期間を 1 フレームとしたとき、該 1 フレームを 4 つの期間に分離し、さらに、第 1 の期間に正方向期間と負方向期間を設定し、残りの 3 つの期間に非選択期間を設定する。

【0203】

一方、図 35 B に示す方式は、1 フレームを 2 つの期間（第 1 及び第 2 のフィールド F_1 及び F_2 ）に分離し、さらに、第 1 及び第 2 のフィールド F_1 及び F_2 をそれぞれ 4 つの期間に分離する。そして、第 1 のフィールド F_1 については、第 1 の期間に正方向期間を設定し、残りの 3 つの期間に非選択期間を設定する。第 2 のフィールド F_2 については、第 1 の期間に負方向期間を設定し、残りの 3 つの期間に非選択期間を設定する。

【0204】

また、制御対象 102 の位置制御としては、電圧制御による方式が好ましく採用される。例えば、制御対象 102 を正方向に負荷 92 の両端電圧 V_c が 10 V に対応する位置まで移動させる場合は、正方向期間において、第 1 の信号 S_1 のレベルを 0 V、データ信号 S_D のレベルを 10 V に設定することで、図 36 A に示すように、負荷 92 の両端電圧 V_c を正方向に 10 V とすることができる。

【0205】

一方、制御対象102を負方向に負荷92の両端電圧 V_c が8Vに対応する位置まで移動させる場合は、負方向期間において、第2の信号S2のレベルを10V、データ信号SDのレベルを2Vに設定することで、図36Bに示すように、負荷92の両端電圧 V_c を負方向に8V（すなわち、-8V）とすることができる。

【0206】

上述の例では、図32に示すように、電流-位置特性が線形状に変化する場合を示したが、その他、電流 $i=0$ を基準としたヒステリシス曲線を描くような特性でもよい。例えば磁化されたコイルが、電流をゼロに戻しても、残留磁化を有している場合にも有効である。この場合、選択期間に流れた電流で所定の位置に移動した後、非選択期間となって電流がゼロとなった場合、残留磁化によって所定の位置をほぼ保持することが可能となる。

【0207】

次に、例えば、変位制御素子として、例えば図37や図38に示す圧電素子の変位-電圧特性と同様の特性を有する素子を容量性負荷に用いて変位制御、位置制御をすることができる。

【0208】

図37の変位-電圧特性を有する圧電素子においては、例えばa点とc点を結ぶ線分で示す部分を利用したり、d点とe点を結ぶ線分で示す部分を利用することで、ほぼ線形的な電圧-変位特性を得ることができ、制御が容易になる。また、図38の変位-電圧特性を有する圧電素子においては、電圧の変化に対する伸びの変位量の変化と、電圧の変化に対する縮みの変位量の変化が異なり、電圧-変位特性にヒステリシスを有することから、カム動作を行わせる場合等に有利である。

【0209】

図37や図38に示す圧電素子の変位-電圧特性と同様の特性を有する変位制御素子を用いた装置の例としては、図39に示すように、縦方向に複数の光導波路110a~110eを並べ、横方向に複数の光導波路112a~112dを並べ、さらに、各交差部分に光スイッチ114を配置した光スイッチアレイ116が挙げられる。この光スイッチアレイ116は、縦方向に並べられた複数の光導波路110a~110eにそれぞれ光118a~118eが入射され、そのうちのいくつかは縦方向に並べられた光導波路112a~112dから光が出射される例を示す。図39では、1行目の光導波路110aに入射された光118aが2列目の光導波路112bから出射され、2行目の光導波路110bに入射された光118bがそのまま横方向に出射され、3行目の光導波路110cに入射された光118cが1列目の光導波路112aから出射され、4行目の光導波路110dに入射された光118dが3列目の光導波路112cから出射され、5行目の光導波路110eに入射された光118eが4列目の光導波路112dから出射された例を示す。また、図39において、○は、光スイッチ114が第1の状態（114a）にあって、入射された光を横方向に導いている状態を示し、●は、光スイッチ114が第2の状態（114b）にあって、入射された光を縦方向に導いている状態を示す。

【0210】

第1の状態（114a）を実現するには、図40Aに示すように、変位制御素子（図示せず）に接続された反射板120を、行方向に延びる光導波路110と列方向に延びる光導波路112との交差部分122に挿入させないようにすればよく、第2の状態（114b）を実現するには、図40Bに示すように、変位制御素子に接続された反射板120を前記交差部分122に挿入させればよい。

【0211】

この変位制御素子の駆動方法は、上述した第1~第4の実施の形態に係る表示装置40A~40Dと同様の駆動方法によって容易に実現させることができる。

【0212】

変位を制御するために、上記のような圧電材料のほかに、一対の電極を対向させ、電極間に電圧を印加したときに働く静電気力によって電極間の距離を変化させる方法を用いて

もよい。

【0213】

次に、図41に示すように、残留磁束の大きい（ヒステリシスの大きい）B-H特性を持つコイルを使用した変位制御素子の駆動方法について説明する。残留磁束が大きいとは、B-H曲線にヒステリシスを持ち、飽和磁束密度と残留磁束密度がほぼ同じになることを示す。なお、この変位制御素子を有する位置制御装置の回路構成は図30に示す構成とほぼ同じ構成を有する。

【0214】

まず、図41に示すB-H曲線のうち、磁界（H）はコイルに流れる電流 i に相当し、磁束密度（B）は制御対象の変位量に相当することから、例えば点Fに示す残留磁束密度を得たい場合、選択期間にe点の電流を流すように電圧レベルを設定する。この場合、変位制御素子の動作点は点Eに動く。非選択期間に電流が遮断されると、動作点は点Fに動く。すなわち、制御対象は、点Fに示す残留磁束密度に対応した位置に変位する。

【0215】

この変位制御素子への駆動電圧の印加は、交差的に印加して、例えばF点とその極性を反転させた点Hとを対にして使用してもよい。あるいは正負で異なる電圧レベルを有する駆動電圧を印加して、例えば負極性側はリセット状態として、点Dを常に通じ、正極性側で点B、点F又は点Jを通るように制御するようにしてもよい。

【0216】

ここで、図41に示すB-H特性を持つコイルを使用した変位制御素子を含む回路素子10の駆動方法の一例について図42を参照しながら説明する。

【0217】

この駆動方法では、図42に示すように、例えば1行目の回路素子10の選択期間であって、かつ、正方向期間 T_{s1p} が到来し、その後、例えば2行目の回路素子10の選択期間であって、かつ、正方向期間 T_{s2p} （1行目の回路素子10の非選択期間 T_{s1u} ）となり、その後、1行目の回路素子10の選択期間であって、かつ、負方向期間 T_{s1n} が到来し、その後、例えば2行目の回路素子の選択期間であって、かつ、負方向期間 T_{s2n} （1行目の回路素子10の非選択期間 T_{s1u} ）となる。

【0218】

まず、図42の時点 t_{80} において、1行目の回路素子10の正方向期間 T_{s1p} に入る。このとき、第1の信号 S_1 は低レベル（例えば0V）を維持し、第2の信号 S_2 も低レベル（例えば0V）を維持し、データ信号 SD も低レベル（例えば0V）を維持している。この状態は、第1及び第2の整流素子 D_1 及び D_2 が共に非導通の状態であり、図30に示すように、接続点58での電位 V_a は、データ信号 SD のレベル（0V）と同じになる。その結果、負荷92の両端電圧は0Vの状態が維持される。

【0219】

次の時点 t_{81} において、データ信号 SD が高レベル（例えば10V）に変化すると、第1の整流素子 D_1 が順バイアスされて導通状態となり、負荷92の両端電圧 V_c が高レベル（例えば10V）まで急峻に上昇し、これにより、インダクタ94に正方向に電流が流れ、制御対象102は正方向に移動する。例えば図41の点Aに示す磁束密度に対応した正方向の位置まで移動する。このとき、接続点の電位 V_a は0Vを維持している。

【0220】

次の時点 t_{82} において、データ信号 SD が低レベル（例えば0V）に変化すると、再び第1の整流素子 D_1 が逆バイアスされて非導通状態となり、負荷92の両端電圧 V_c が低レベル（例えば0V）まで急峻に降下するが、制御対象は、図41の点Bに示す残留磁束密度に対応した位置に停止している。

【0221】

次の時点 t_{83} において、2行目の回路素子10の正方向期間 T_{s2p} （1行目の回路素子の非選択期間 T_{s1u} ）に入る。このとき、第1の信号 S_1 は高レベル（例えば10V）に変化する。従って、この正方向期間 T_{s2p} においては、データ信号 SD のレベル

が変化して、接続点 58 の電位 V_a が変化しても、これらのレベルは 1 行目の第 1 の信号 S_1 の高レベル以下で、且つ、1 行目の第 2 の信号 S_2 の低レベル以上となっているため、1 行目の回路素子 10 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 は共に非導通状態が維持される。つまり、制御対象 102 は、図 41 の点 B に示す残留磁束密度に対応した位置に停止している。

【0222】

次の時点 t_{84} において、1 行目の回路素子 10 の負方向期間 T_{s1n} に入る。このとき、第 1 の信号 S_1 は高レベルを維持し、第 2 の信号 S_2 は高レベル（例えば 10 V）に変化し、データ信号 SD は高レベル（例えば 10 V）に変化する。この場合、接続点 58 での電位 V_a は、データ信号 SD のレベル（10 V）と同じになり、1 行目の回路素子 10 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 は共に非導通状態が維持される。つまり、制御対象は、図 41 の点 B に示す残留磁束密度に対応した位置に停止している。

【0223】

次の時点 t_{85} において、データ信号 SD が低レベル（例えば 0 V）に変化すると、第 2 の整流素子 D_2 が順バイアスされて導通状態となり、負荷 92 の両端電圧 V_c が低レベル（例えば -10 V）まで急峻に下降し、これにより、インダクタ 94 に負方向に電流が流れ、制御対象 102 は負方向に移動する。例えば図 41 の点 C に示す磁束密度に対応した負方向の位置まで移動する。このとき、接続点の電位 V_a は 10 V を維持している。

【0224】

次の時点 t_{86} において、データ信号 SD が高レベル（例えば 10 V）に変化すると、再び第 2 の整流素子 D_2 が逆バイアスされて非導通状態となり、負荷 92 の両端電圧 V_c が 0 V まで急峻に上昇するが、制御対象は、図 41 の点 D に示す残留磁束密度に対応した位置に停止している。

【0225】

次の時点 t_{87} において、2 行目の回路素子 10 の負方向期間 T_{s2n} （1 行目の回路素子の非選択期間 T_{s1u} ）に入る。このとき、第 2 の信号 S_2 は低レベル（例えば 0 V）に変化する。従って、この負方向期間 T_{s2n} においては、データ信号 SD のレベルが変化しても、そのレベルは 1 行目の第 1 の信号 S_1 の高レベル以下で、且つ、1 行目の第 2 の信号 S_2 の低レベル以上となっているため、1 行目の回路素子 10 に関する第 1 及び第 2 の整流素子 D_1 及び D_2 は共に非導通状態が維持される。つまり、制御対象は、図 41 の点 D に示す残留磁束密度に対応した位置に停止している。

【0226】

このように、1 行目の回路素子 10 は、2 行目の回路素子 10 に対するデータ信号 SD の影響を受けることがなく、しかも、図 41 に示す B-H 特性の残留磁束密度を利用して、制御対象の位置を維持することができる。つまり、非選択期間にはインダクタ 94 には電流が流れないため、残留磁化によって制御対象 102 の位置が変化することなく保持される。また、非選択期間において負荷 92 へ流れる電流 i はほぼゼロであり、消費電力も小さくできる。

【0227】

なお、本発明に係る回路素子、信号処理回路、制御装置、表示装置、表示装置の駆動方法、回路素子の駆動方法及び制御装置の駆動方法は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【図面の簡単な説明】

【0228】

【図 1】 本実施の形態に係る回路素子を示す構成図である。

【図 2】 本実施の形態に係る信号処理回路を示す構成図である。

【図 3】 本実施の形態に係る信号処理回路の動作期間における電位関係を示す説明図である。

【図 4】 第 1 の実施の形態に係る表示装置を示す構成図である。

【図 5】 第 1 の実施の形態に係る表示装置に用いられる容量性負荷の電圧－蓄積電荷

特性を示す図である。

【図 6】第 1 の実施の形態に係る表示装置の駆動方式の一例を示すタイミングチャートである。

【図 7】第 1 の実施の形態に係る表示装置の駆動方式を 4 行走査に適用した場合のタイミングを示すダイアグラムである。

【図 8】図 8 A は画素信号のパルス幅変調によって第 1 の電圧状態の終了時点を変化させた場合を示す波形図であり、図 8 B は光出力波形の一例を示す図であり、図 8 C は光出力波形の他の例を示す図である。

【図 9】図 9 A は画素信号の振幅変調によって第 1 の電圧状態の振幅を変化させた場合を示す波形図であり、図 9 B は光出力波形の一例を示す図であり、図 9 C は光出力波形の他の例を示す図である。

【図 10】第 2 の実施の形態に係る表示装置を示す構成図である。

【図 11】図 11 A は第 2 の実施の形態に係る表示装置に用いられる容量性負荷の両端電圧の変化を示す波形図であり、図 11 B は容量性負荷の両端電圧の変化に伴う光出力の変化を示す図である。

【図 12】第 2 の実施の形態に係る表示装置の駆動方式の一例を示すタイミングチャートである。

【図 13】図 13 A は第 2 の実施の形態に係る表示装置の駆動方式を 4 行走査に適用した場合のタイミングの一例を示すダイアグラムであり、図 13 B は他の例を示すダイアグラムである。

【図 14】図 14 A は画素信号に含まれるトリガ信号の位相を変化させた例を示す波形図であり、図 14 B は位相変調によって第 1 の電圧状態の開始時点を変化させた場合を示す波形図であり、図 14 C は光の出力期間がトリガ信号の位相によって変化する例を示す図である。

【図 15】図 15 A は画素信号のパルス幅を変化させた例を示す波形図であり、図 15 B はパルス幅変調によって第 1 の電圧状態の振幅を変化させた場合を示す波形図であり、図 15 C は光の出力レベルが画素信号のパルス幅によって変化する例を示す図である。

【図 16】図 16 A は画素信号の振幅を変化させた例を示す波形図であり、図 16 B は振幅変調によって第 1 の電圧状態の振幅を変化させた場合を示す波形図であり、図 16 C は光の出力レベルが画素信号の振幅によって変化する例を示す図である。

【図 17】第 3 の実施の形態に係る表示装置を示す構成図である。

【図 18】第 3 の実施の形態に係る表示装置に用いられる容量性負荷のデューティ比—光量特性を示す図である。

【図 19】図 19 A は画素信号に含まれるトリガ信号の位相を変化させた例を示す波形図であり、図 19 B は位相変調によって第 2 の電圧状態の開始時点を変化させた場合を示す波形図であり、図 19 C は光の出力レベルがトリガ信号の位相によって変化する例を示す図である。

【図 20】第 3 の実施の形態に係る表示装置に用いられる容量性負荷の蓄積電圧—光量特性を示す図である。

【図 21】図 21 A は画素信号のパルス幅を変化させた例を示す波形図であり、図 21 B はパルス幅変調によって第 2 の電圧状態の振幅を変化させた場合を示す波形図であり、図 21 C は光の出力レベルが画素信号のパルス幅によって変化する例を示す図である。

【図 22】図 22 A は画素信号の振幅を変化させた例を示す波形図であり、図 22 B は振幅変調によって第 2 の電圧状態の振幅を変化させた場合を示す波形図であり、図 22 C は光の出力レベルが画素信号の振幅によって変化する例を示す図である。

【図 23】第 3 の実施の形態に係る表示装置の駆動方式の一例を示すタイミングチャートである。

【図 24】第 4 の実施の形態に係る表示装置を示す構成図である。

【図 25】 第 4 の実施の形態に係る表示装置の駆動方式の一例を示すタイミングチャートである。

【図 26】 図 26 A は第 4 の実施の形態に係る表示装置の駆動方式を 4 行走査に適用した場合のタイミングの一例を示すダイヤグラムであり、図 26 B は他の例を示すダイヤグラムである。

【図 27】 図 27 A は画素信号に含まれる正極性のトリガ信号及び負極性のトリガ信号の位相を変化させた例を示す波形図であり、図 27 B は位相変調によって第 1 の電圧状態及び第 2 の電圧状態の各開始時点を変化させた場合を示す波形図であり、図 27 C は光の出力期間が正極性のトリガ信号及び負極性のトリガ信号の位相によって変化する例を示す図である。

【図 28】 図 28 A は画素信号のパルス幅を変化させた例を示す波形図であり、図 28 B はパルス幅変調によって第 1 の電圧状態及び第 2 の電圧状態の各振幅を変化させた場合を示す波形図であり、図 28 C は光の出力レベルが画素信号のパルス幅によって変化する例を示す図である。

【図 29】 図 29 A は画素信号の振幅を変化させた例を示す波形図であり、図 29 B は振幅変調によって第 1 の電圧状態及び第 2 の電圧状態の各振幅を変化させた場合を示す波形図であり、図 29 C は光の出力レベルが画素信号の振幅によって変化する例を示す図である。

【図 30】 本実施の形態に係る位置制御装置を示す構成図である。

【図 31】 インダクタと抵抗とから構成される位置制御系のモデルを示す説明図である。

【図 32】 インダクタに流れる電流の大きさ及び向きによる制御対象の位置の変化を示す特性図である。

【図 33】 本実施の形態に係る位置制御装置において、制御対象を正方向に変位させる場合の制御動作を示すタイミングチャートである。

【図 34】 本実施の形態に係る位置制御装置において、制御対象を負方向に変位させる場合の制御動作を示すタイミングチャートである。

【図 35】 図 35 A は本実施の形態に係る位置制御装置の駆動方式を 4 行走査に適用した場合のタイミングの一例を示すダイヤグラムであり、図 35 B は他の例を示すダイヤグラムである。

【図 36】 図 36 A は制御対象を正方向に移動させる場合における負荷の両端電圧の設定を示す説明図であり、図 36 B は制御対象を負方向に移動させる場合における負荷の両端電圧の設定を示す説明図である。

【図 37】 変位制御素子として使用される圧電素子の変位－電圧特性の一例を示す図である。

【図 38】 変位制御素子として使用される圧電素子の変位－電圧特性の他の例を示す図である。

【図 39】 変位制御素子を多数並べて構成される光スイッチアレイを示す概略構成図である。

【図 40】 図 40 A は光スイッチの第 1 の状態を示す説明図であり、図 40 B は光スイッチの第 2 の状態を示す説明図である。

【図 41】 残留磁束の大きいコイルを使用した変位制御素子の B－H 特性の一例を示す図である。

【図 42】 残留磁束の大きいコイルを使用した変位制御素子を含む回路素子の駆動方法の一例を示すタイミングチャートである。

【図 43】 従来のパッシブマトリックス駆動方式を示す説明図である。

【図 44】 従来の非線形抵抗素子を用いたアクティブマトリックス駆動方式を示す説明図である。

【図 45】 非線形抵抗素子の電流－電圧特性を示す図である。

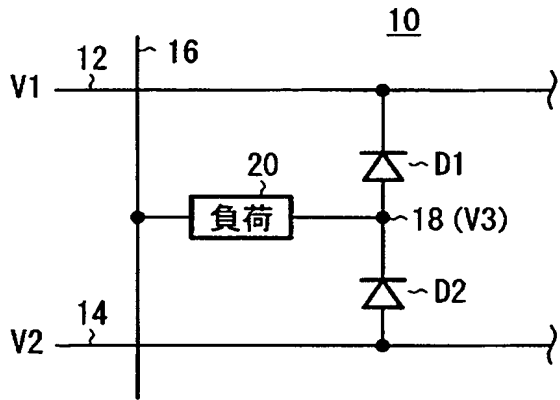
【符号の説明】

【 0 2 2 9 】

- | | |
|----------------|---------------------|
| 1 0 …回路素子 | 1 2 …第 1 の配線 |
| 1 4 …第 2 の配線 | 1 6 …第 3 の配線 |
| 1 8、5 8 …接続点 | 2 0、9 2 …負荷 |
| 3 0 …信号処理回路 | 4 0 A ～ 4 0 D …表示装置 |
| 4 2 …画素 | 4 4 …表示部 |
| 4 6 …選択線 | 4 8 …信号線 |
| 5 0 …リセット線 | 6 0 …容量性負荷 |
| 7 0 …放電指示線 | 8 0 …第 1 の線 |
| 8 2 …第 2 の線 | 9 0 …位置制御装置 |
| 9 4 …インダクタ | D 1 …第 1 の整流素子 |
| D 2 …第 2 の整流素子 | |

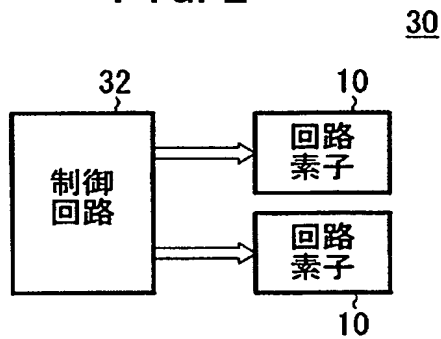
【書類名】 図面
【図 1】

FIG. 1



【図 2】

FIG. 2

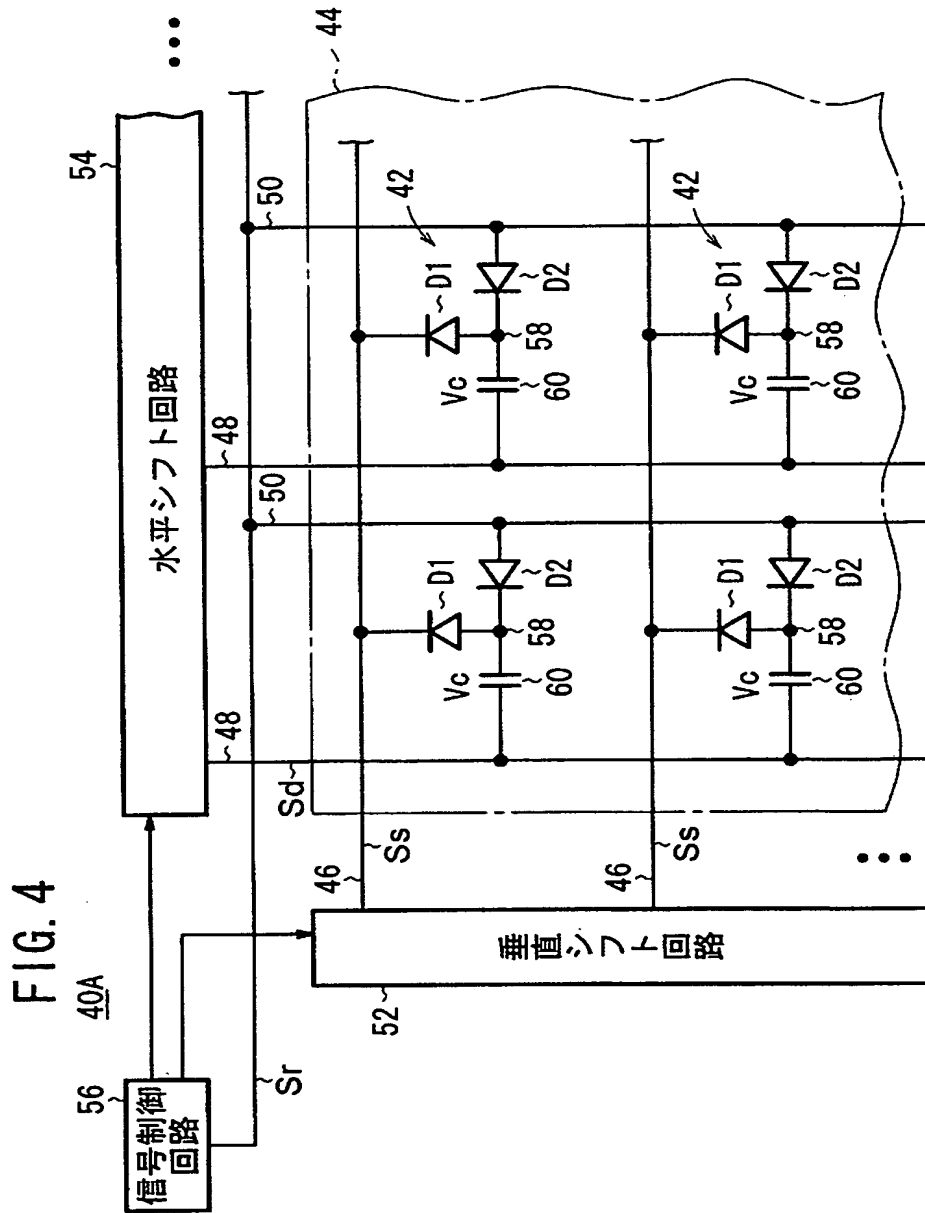


【図 3】

FIG. 3

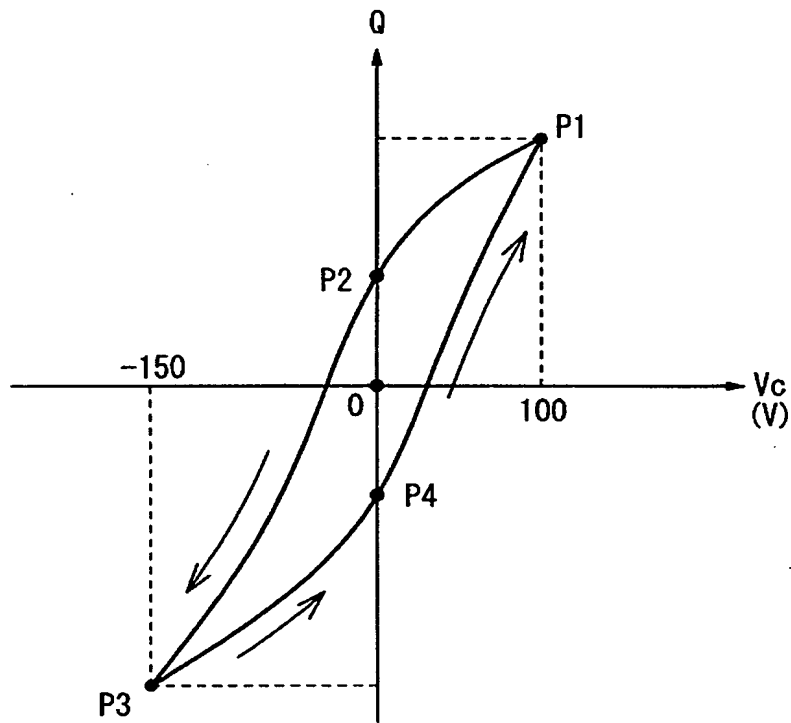
動作期間		
第1の期間	第2の期間	第3の期間
$V1 < V3$	$V2 > V3$	$V2 \leq V3 \leq V1$
$V1 \geq V2$		

【図 4】



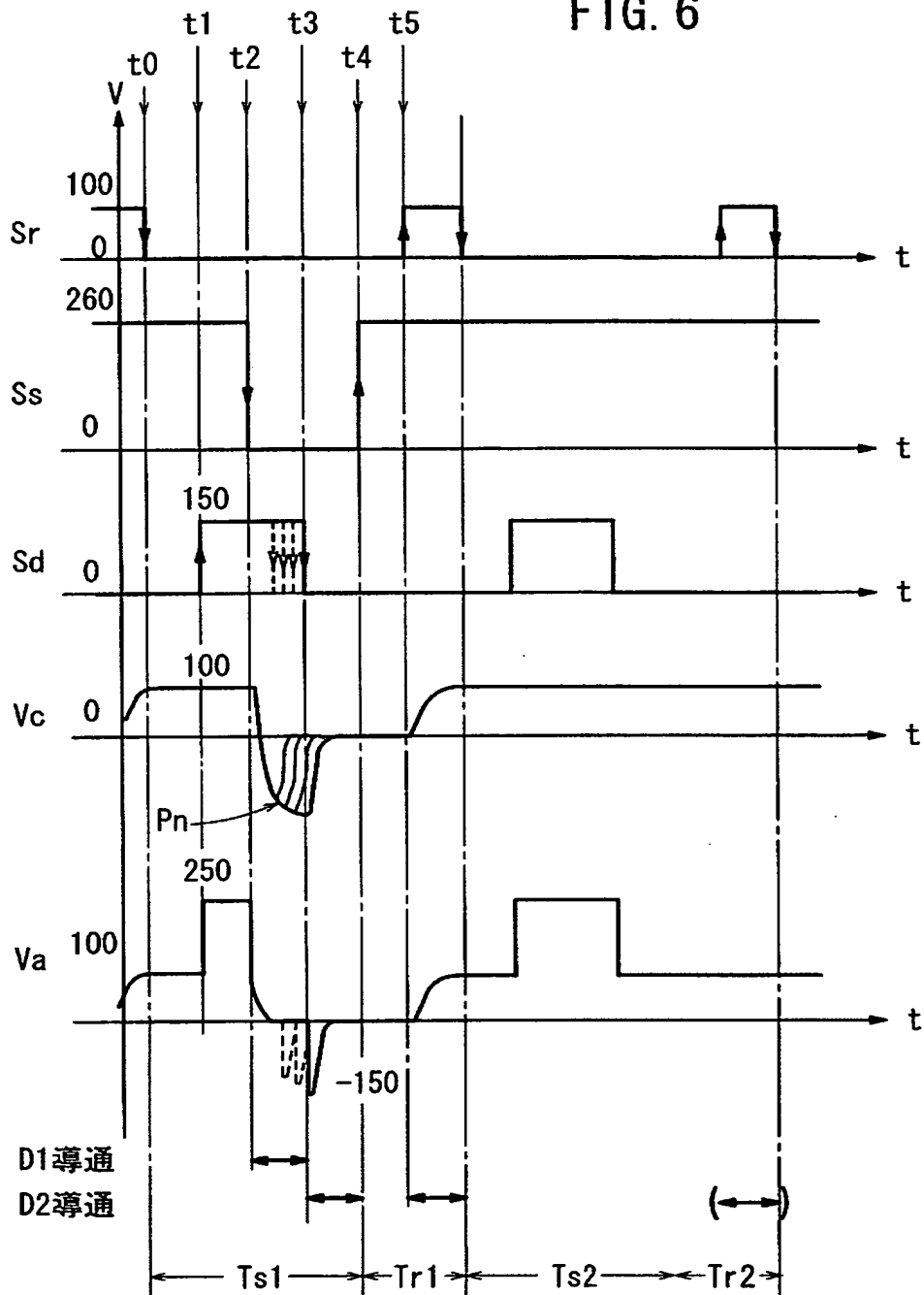
【図 5】

FIG. 5

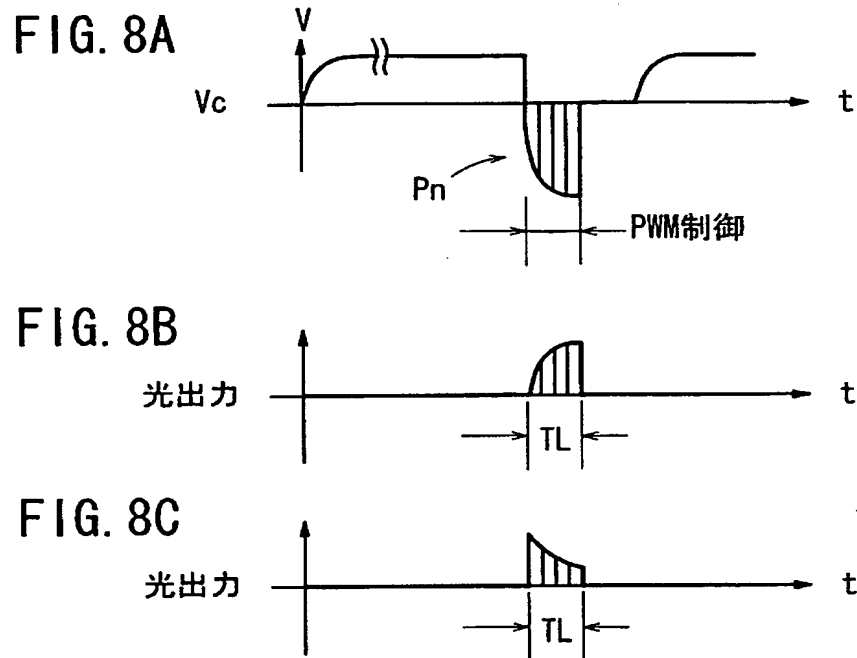


【図 6】

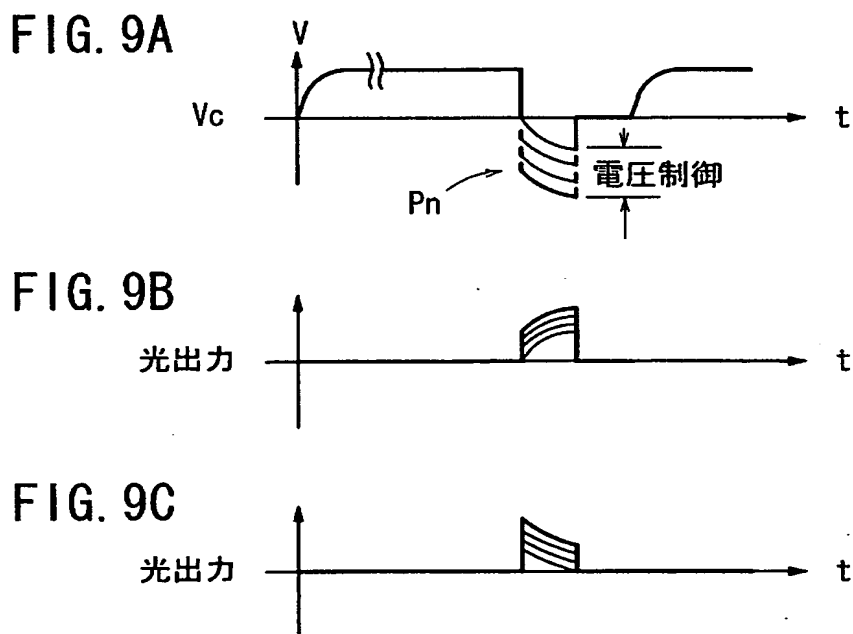
FIG. 6



【図 8】

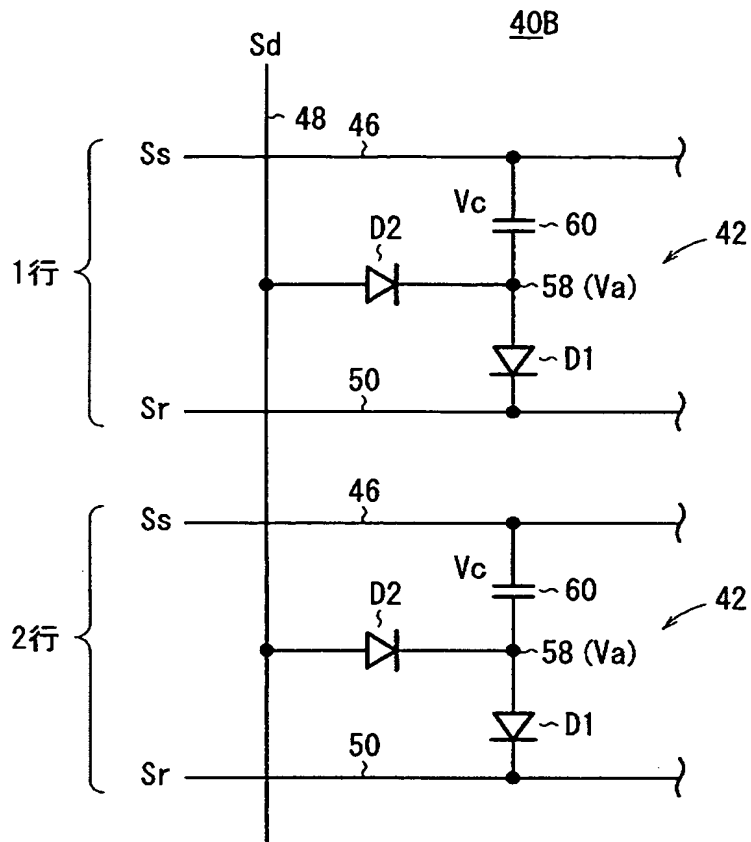


【図 9】



【図 10】

FIG. 10



【図 11】

FIG. 11A

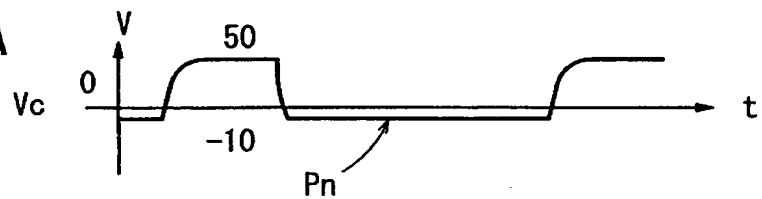
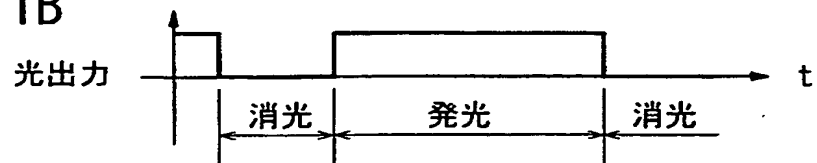
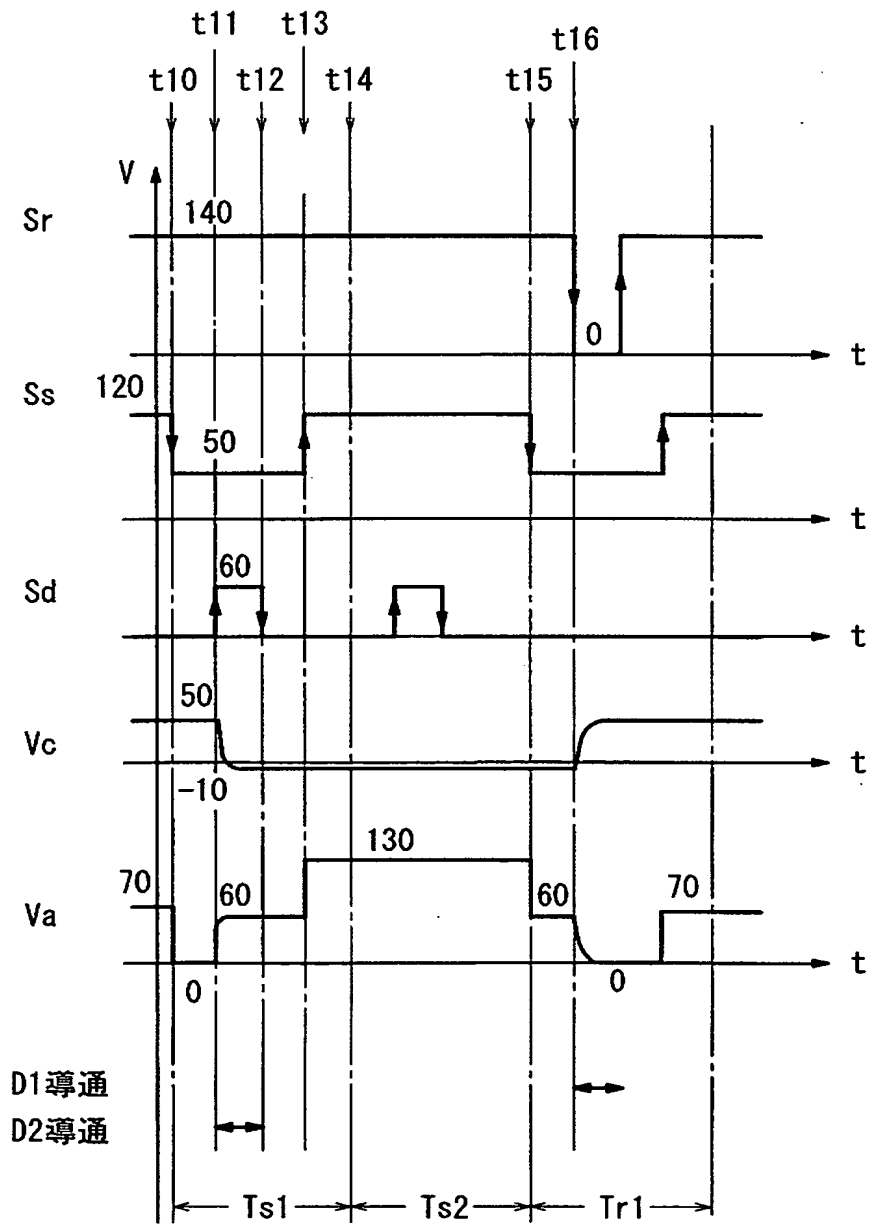


FIG. 11B

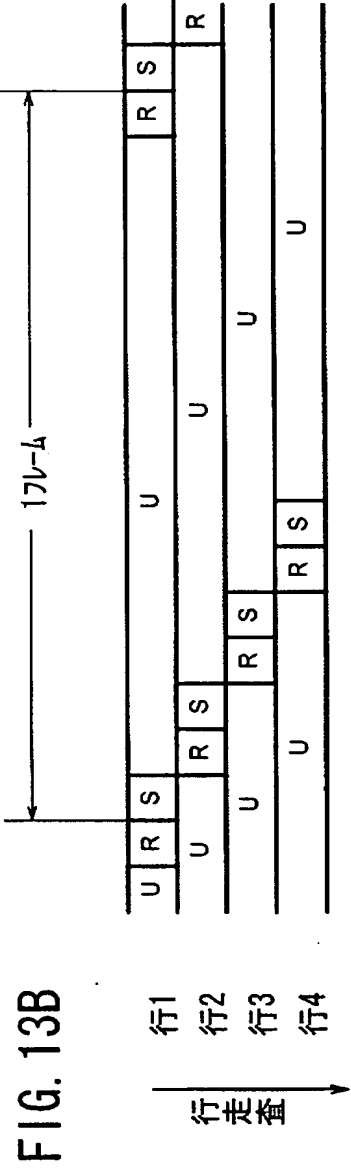
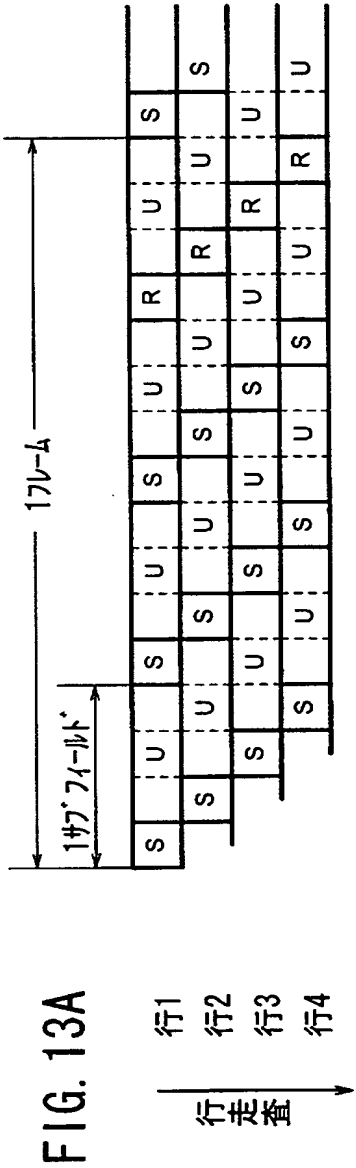


【図 12】

FIG. 12

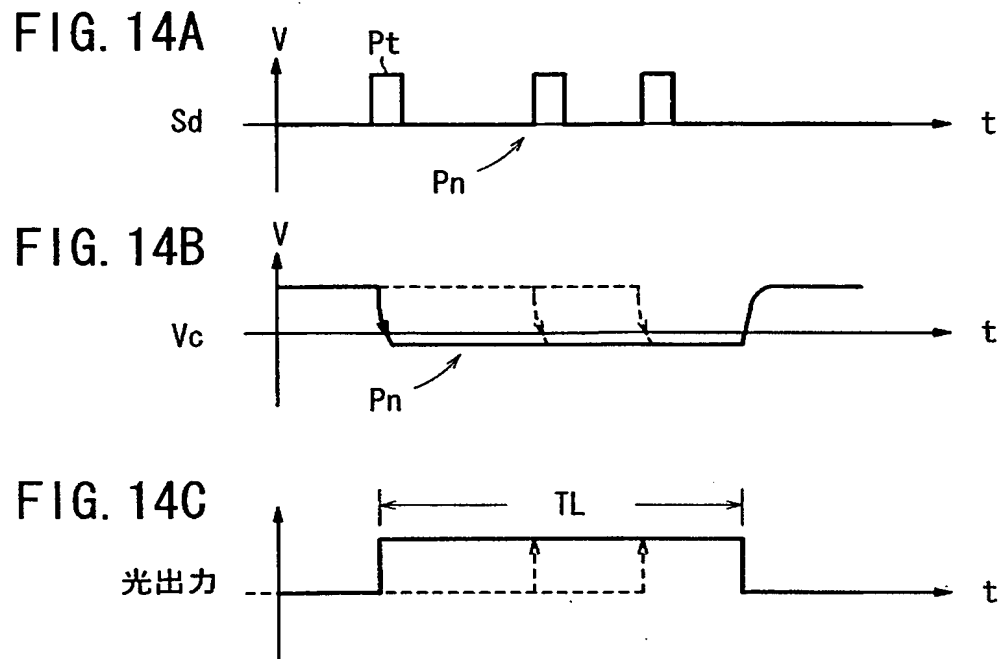


【図 13】

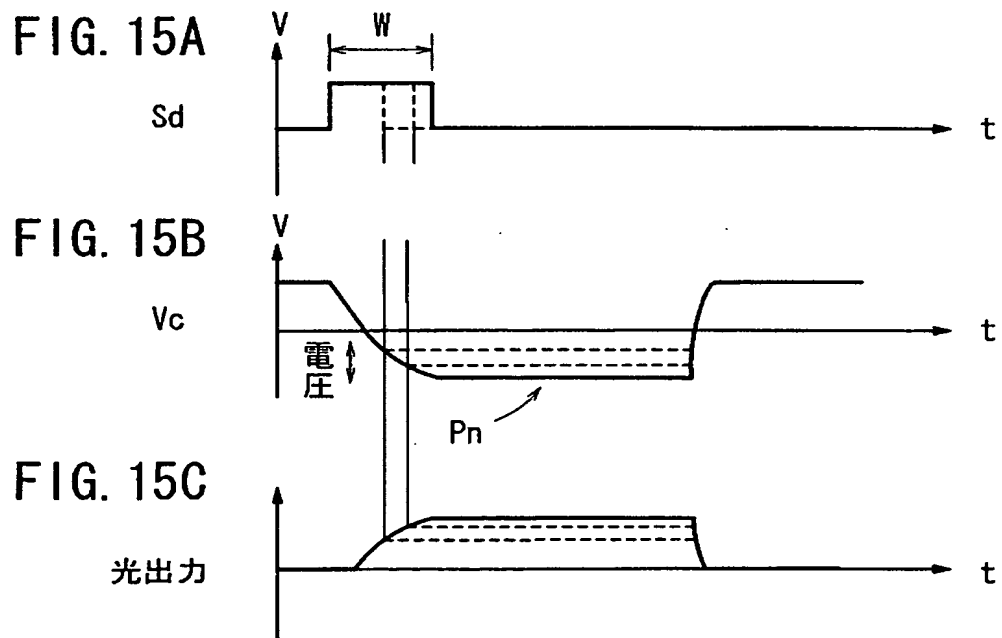


S : 選択期間
U : 非選択期間
R : リセット期間

【図 14】



【図 15】



【図 16】

FIG. 16A

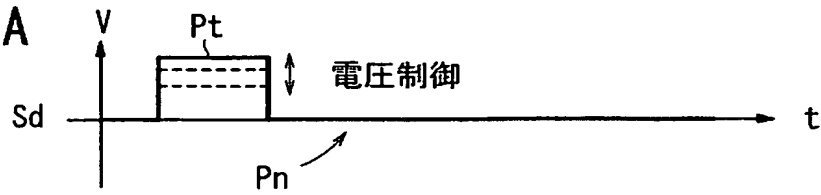


FIG. 16B

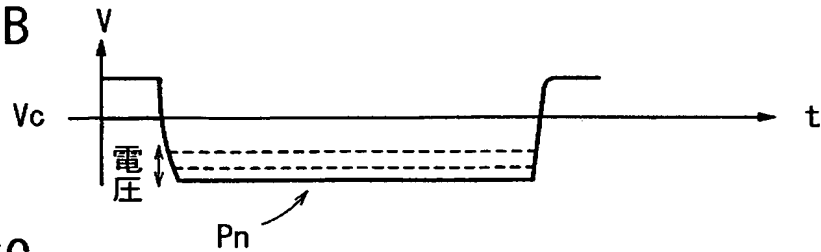
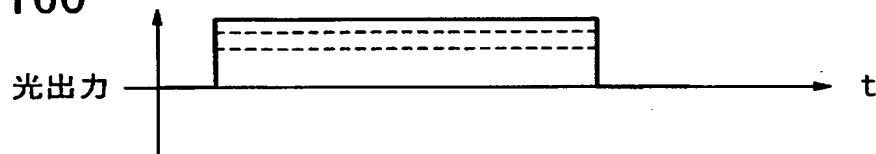


FIG. 16C



【図 19】

FIG. 19A

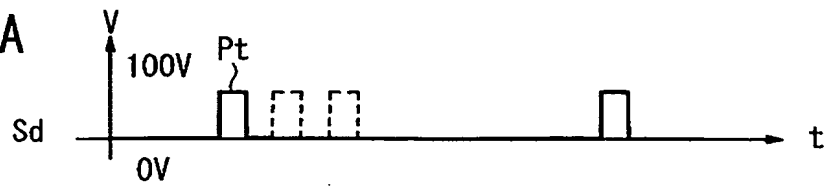


FIG. 19B

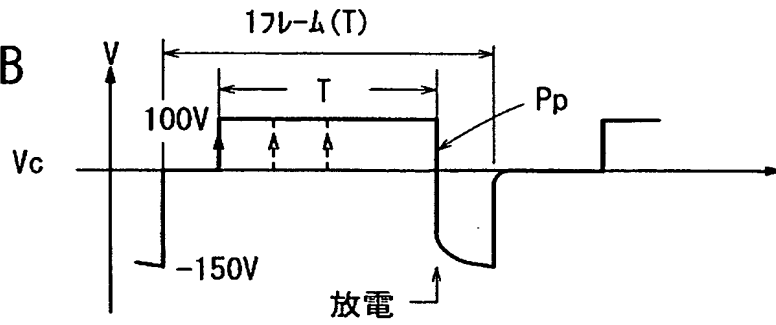
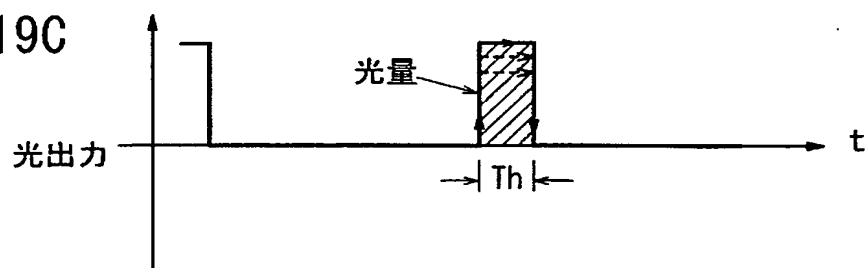
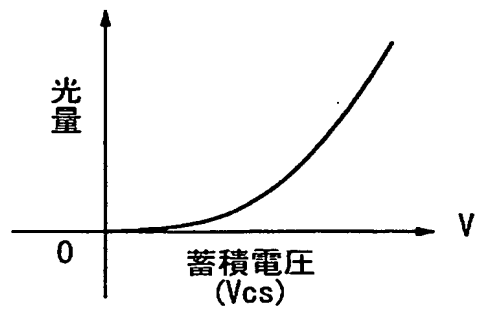


FIG. 19C

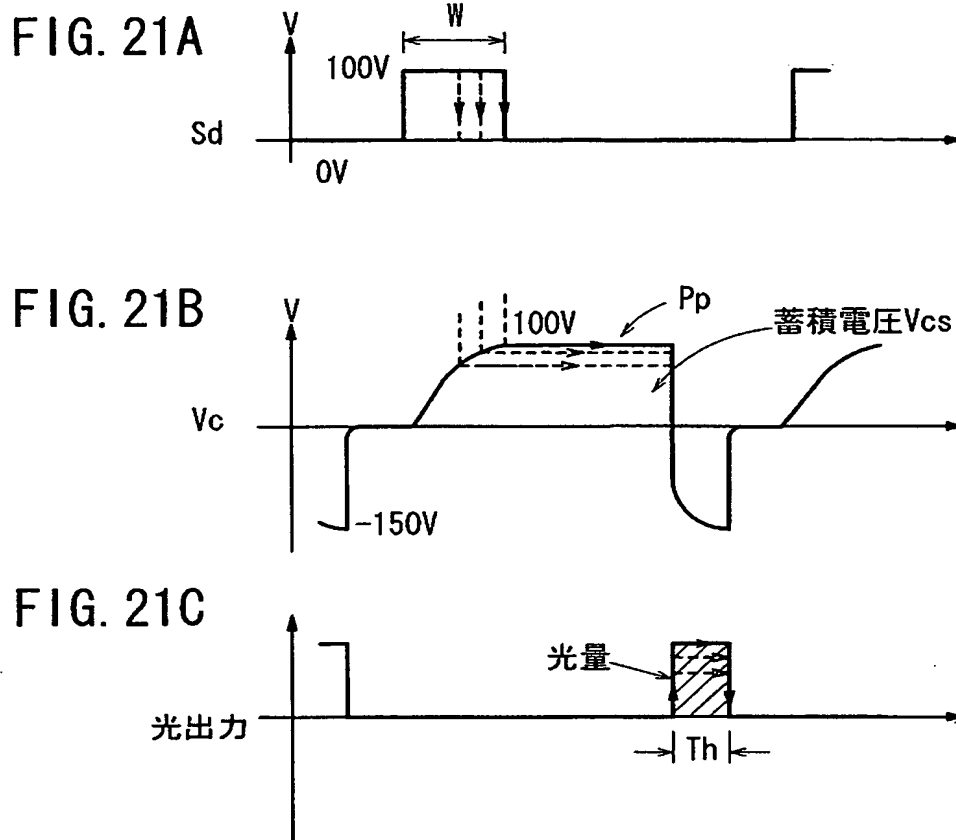


【図 20】

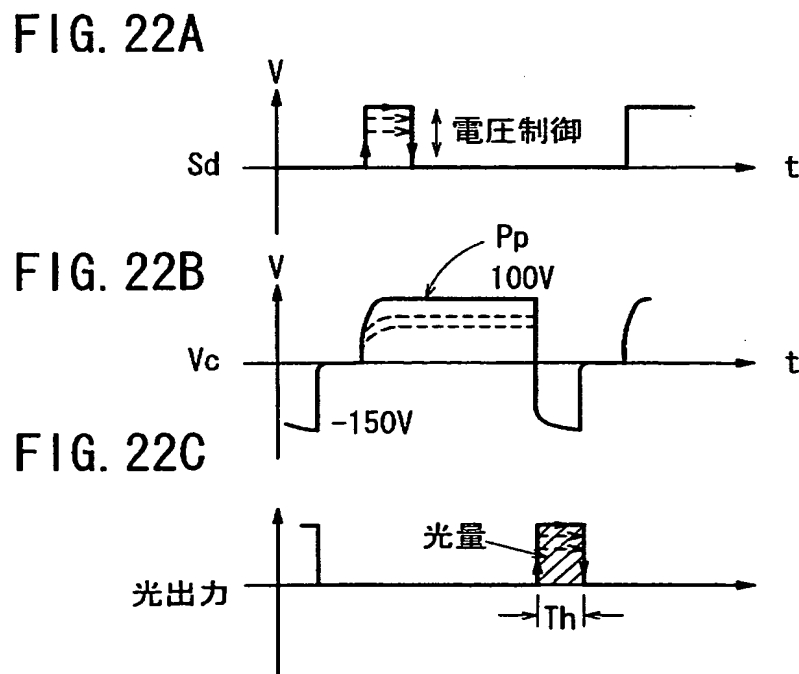
FIG. 20



【図 21】

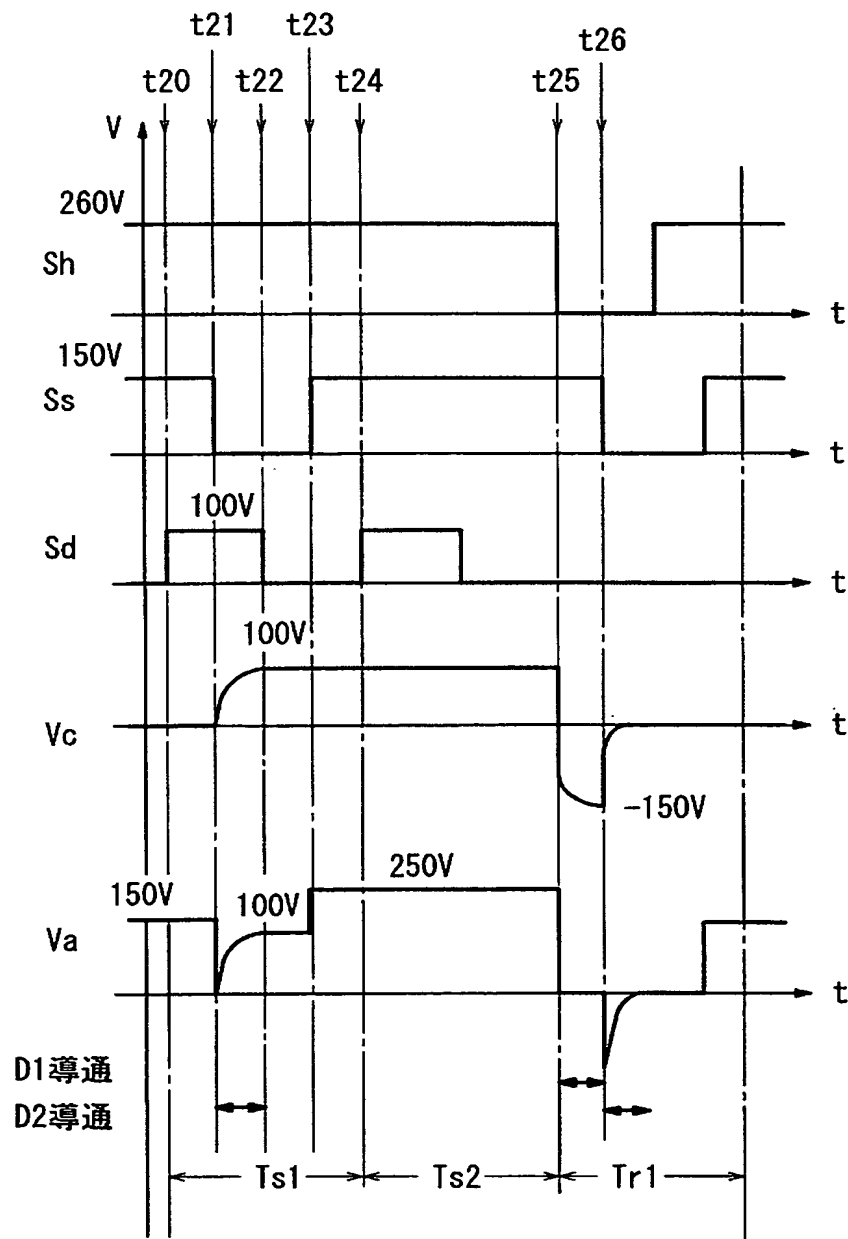


【図 22】



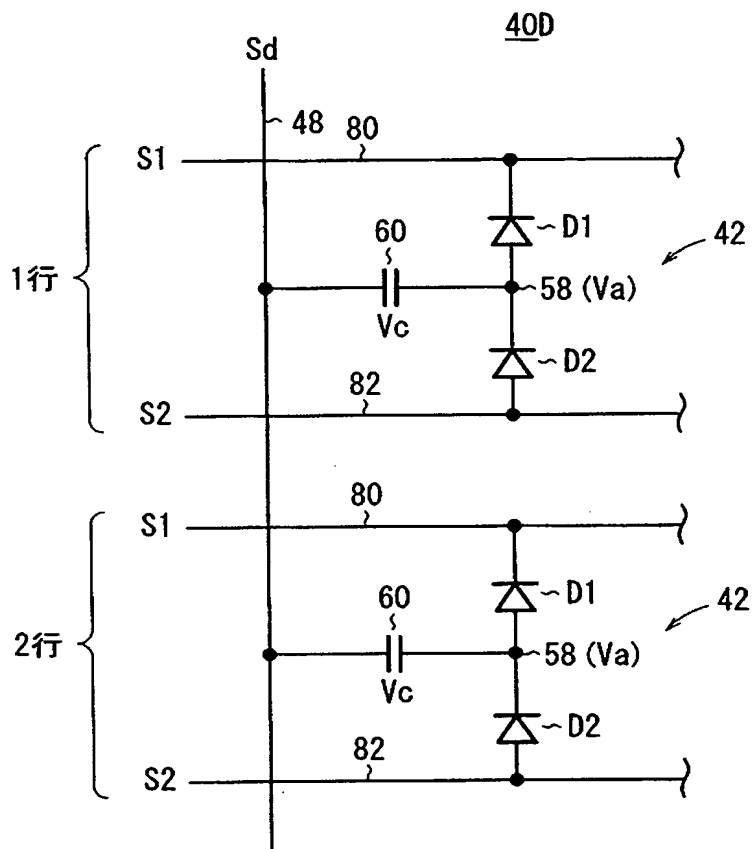
【図 23】

FIG. 23



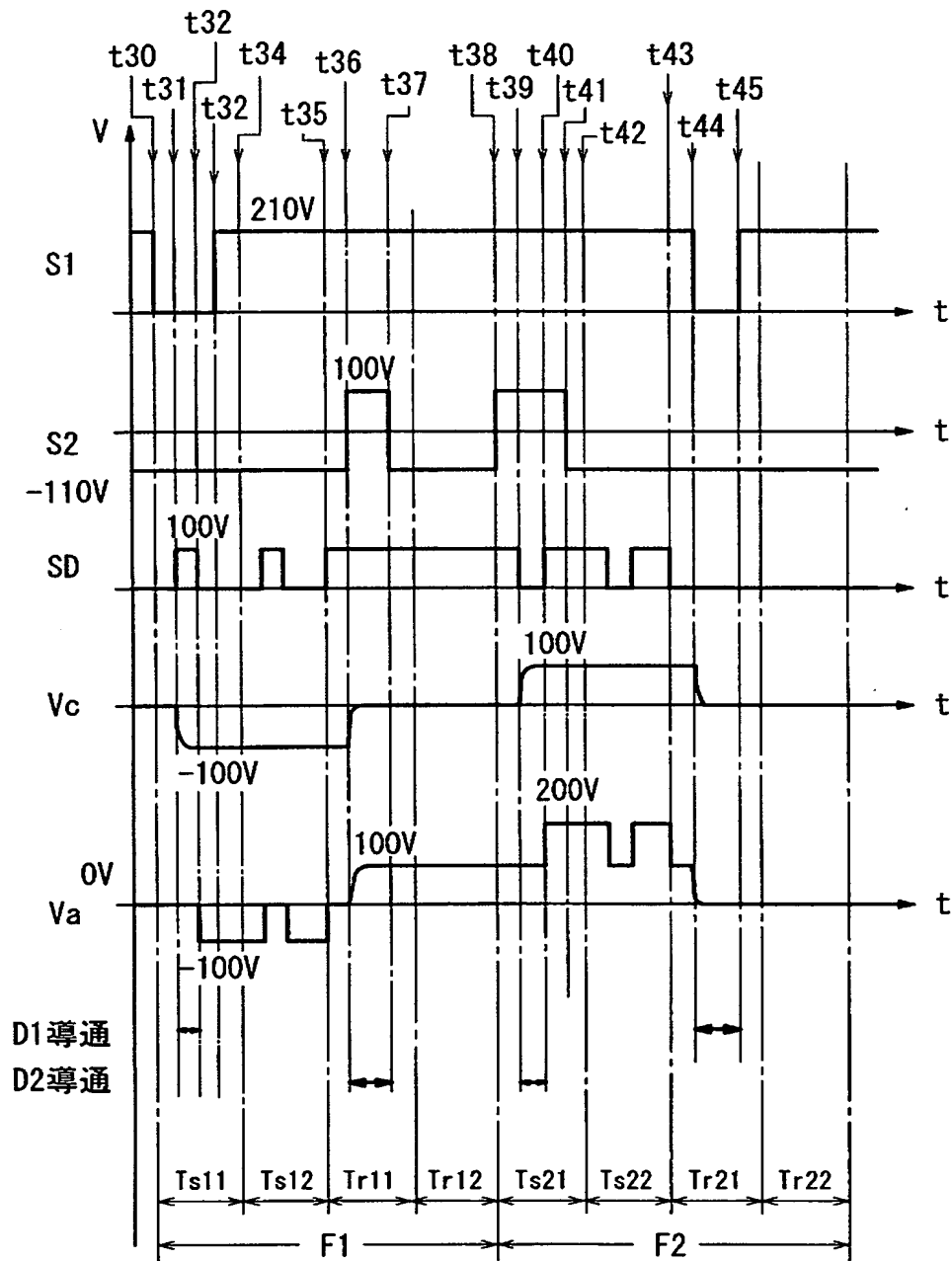
【図 24】

FIG. 24

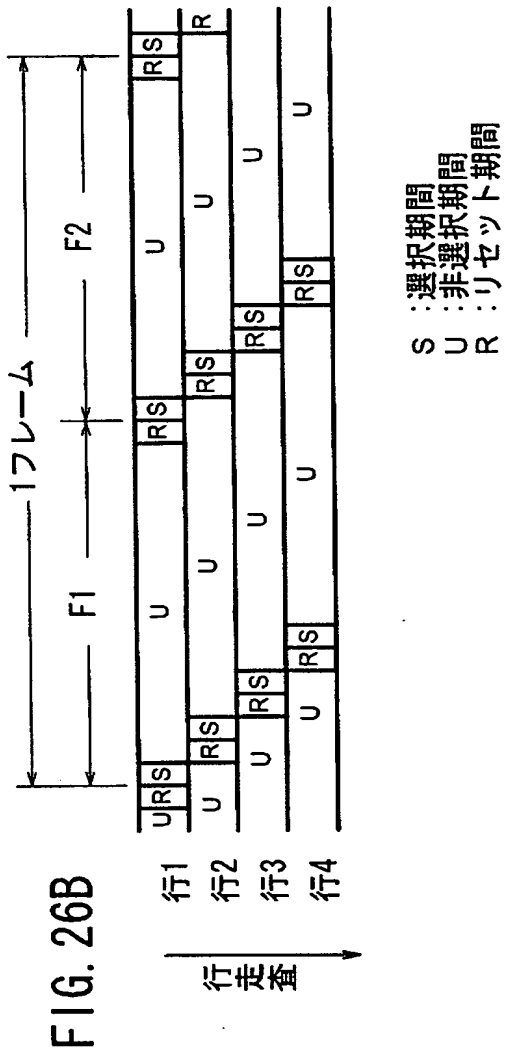
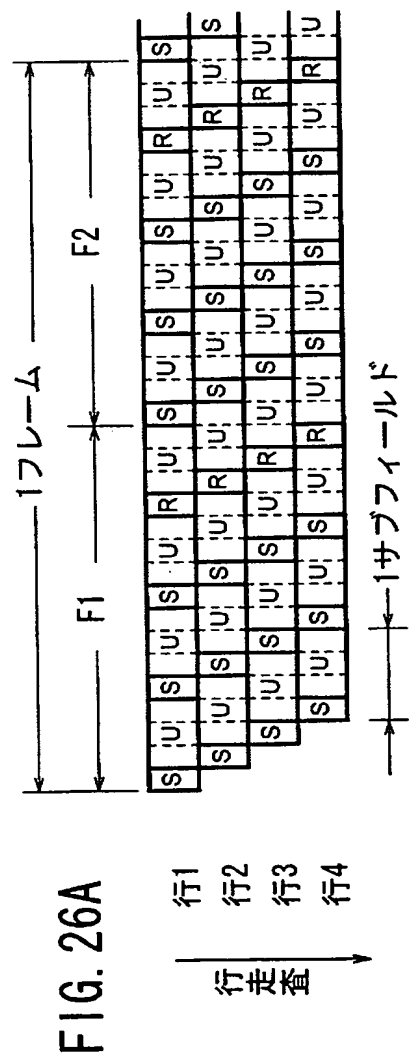


【図 25】

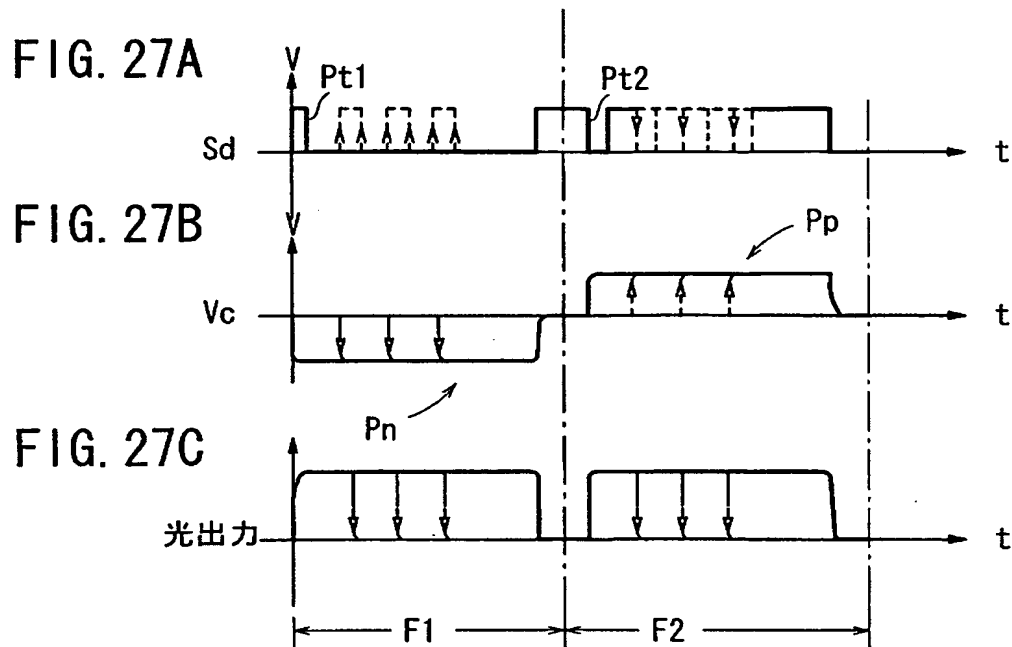
FIG. 25



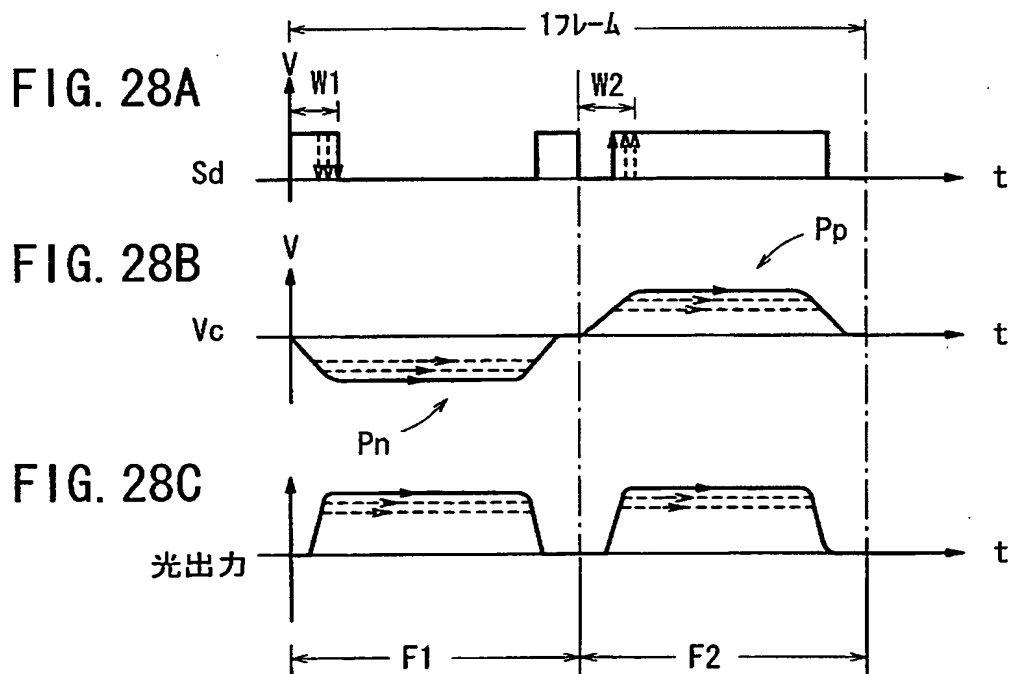
【図 26】



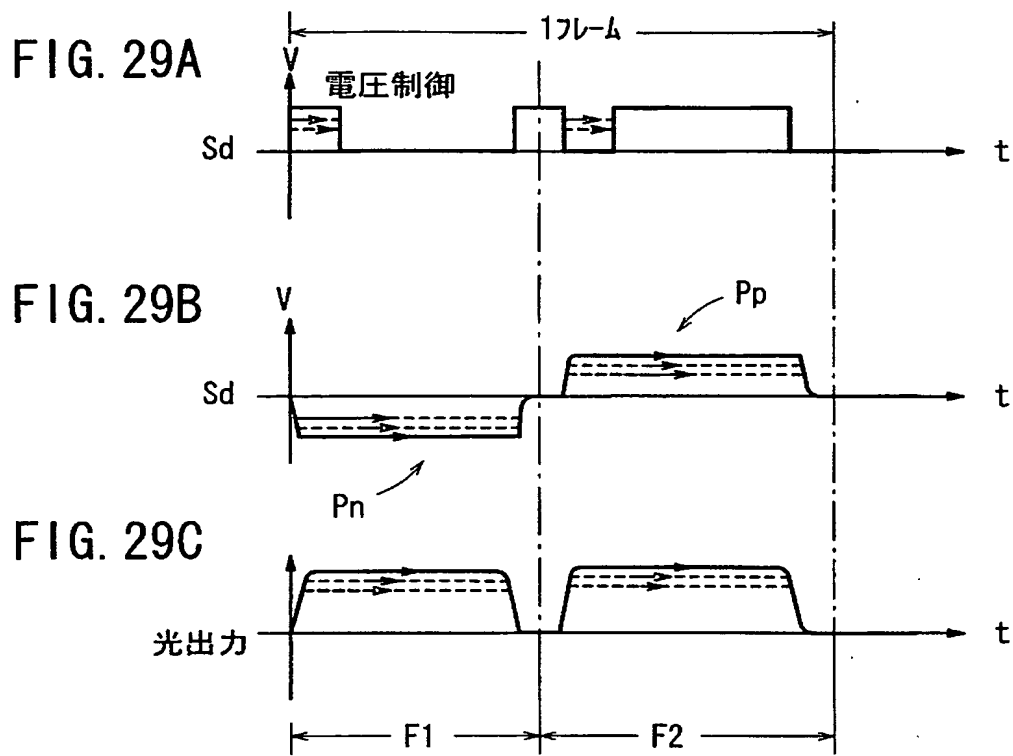
【図 27】



【図 28】

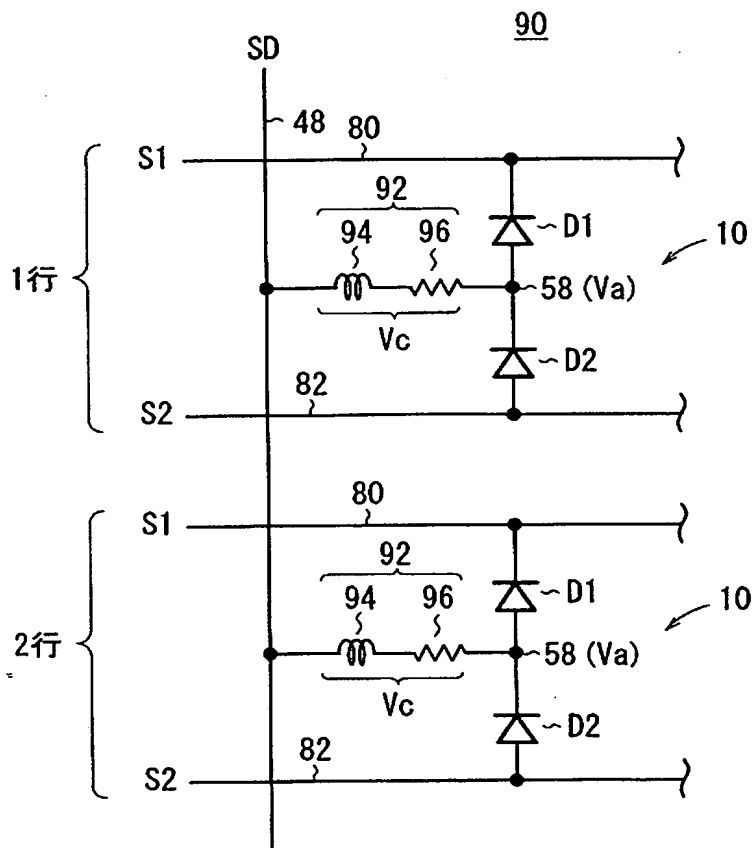


【図 29】



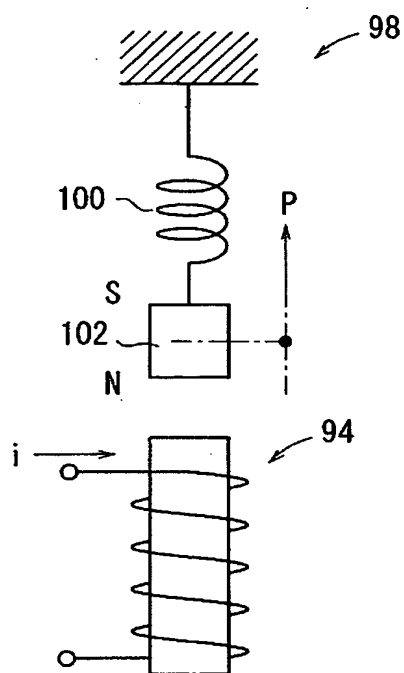
【図 30】

FIG. 30



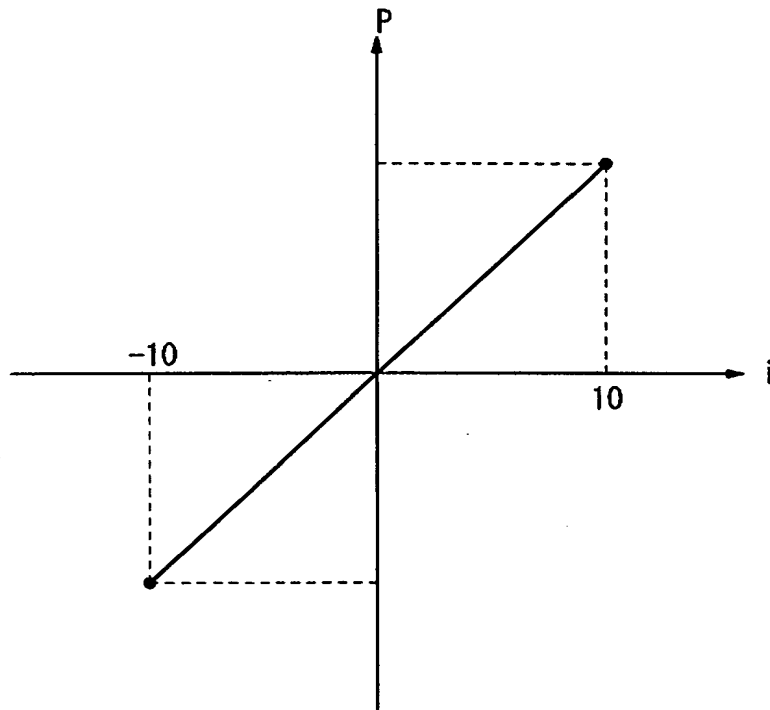
【図 31】

FIG. 31



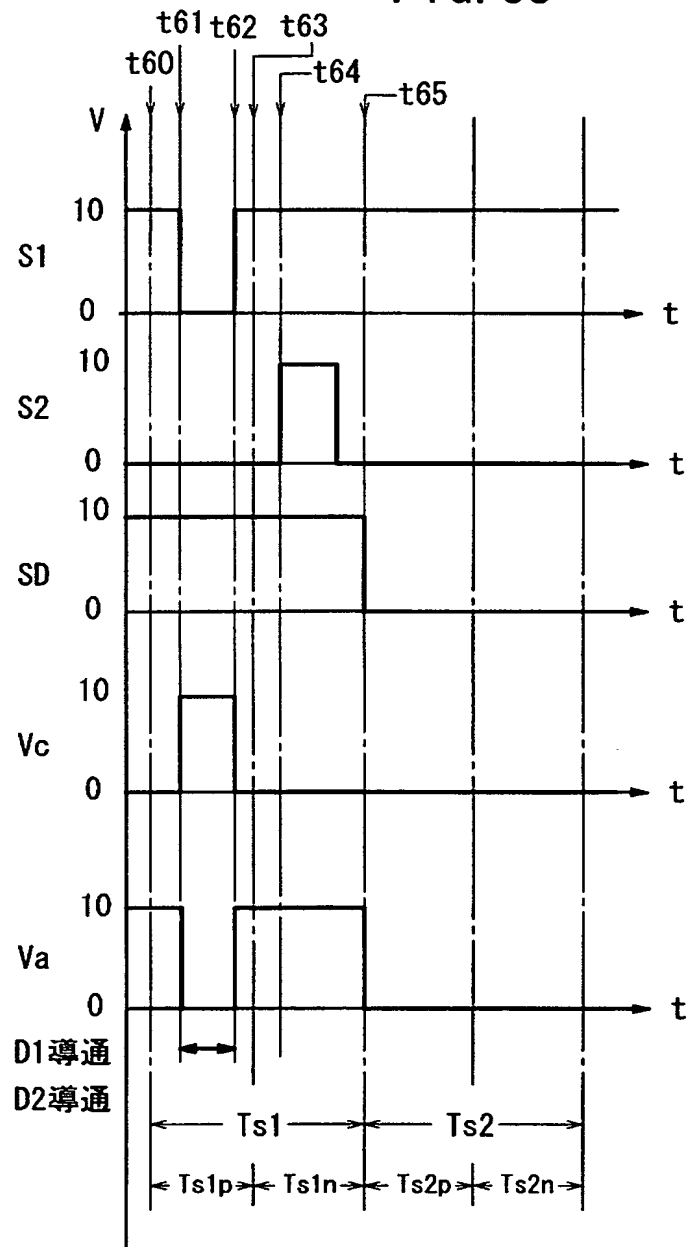
【図 32】

FIG. 32



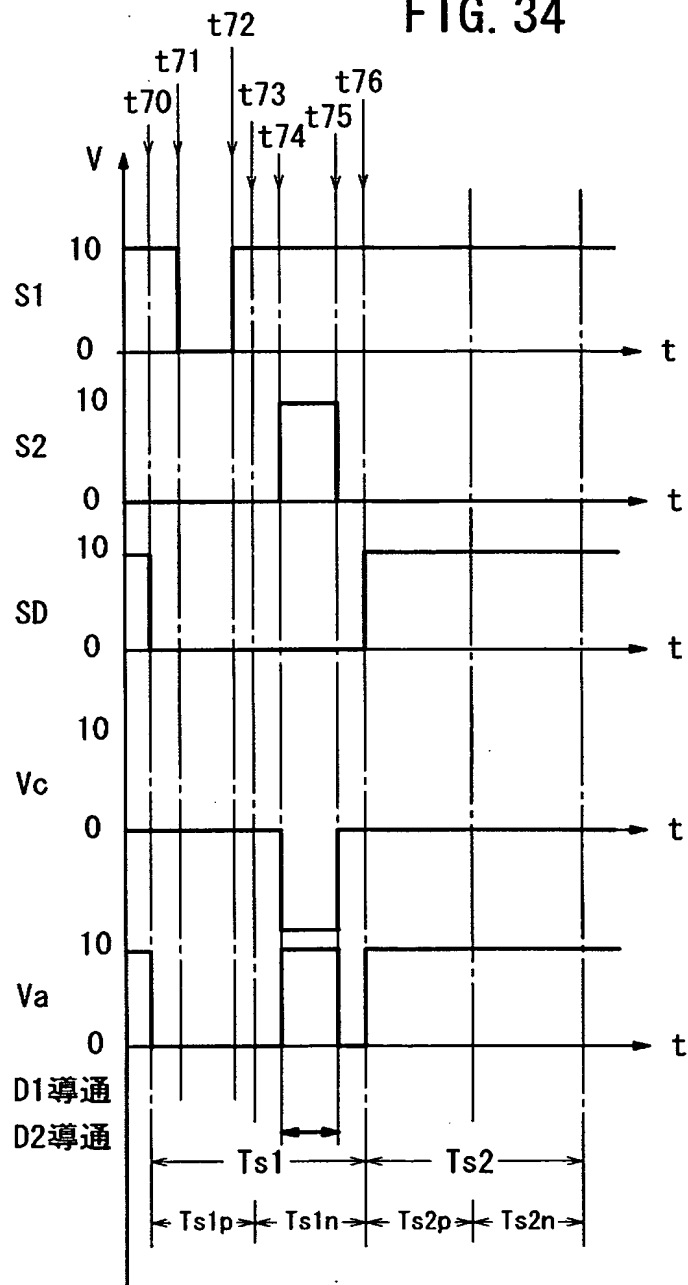
【図 33】

FIG. 33

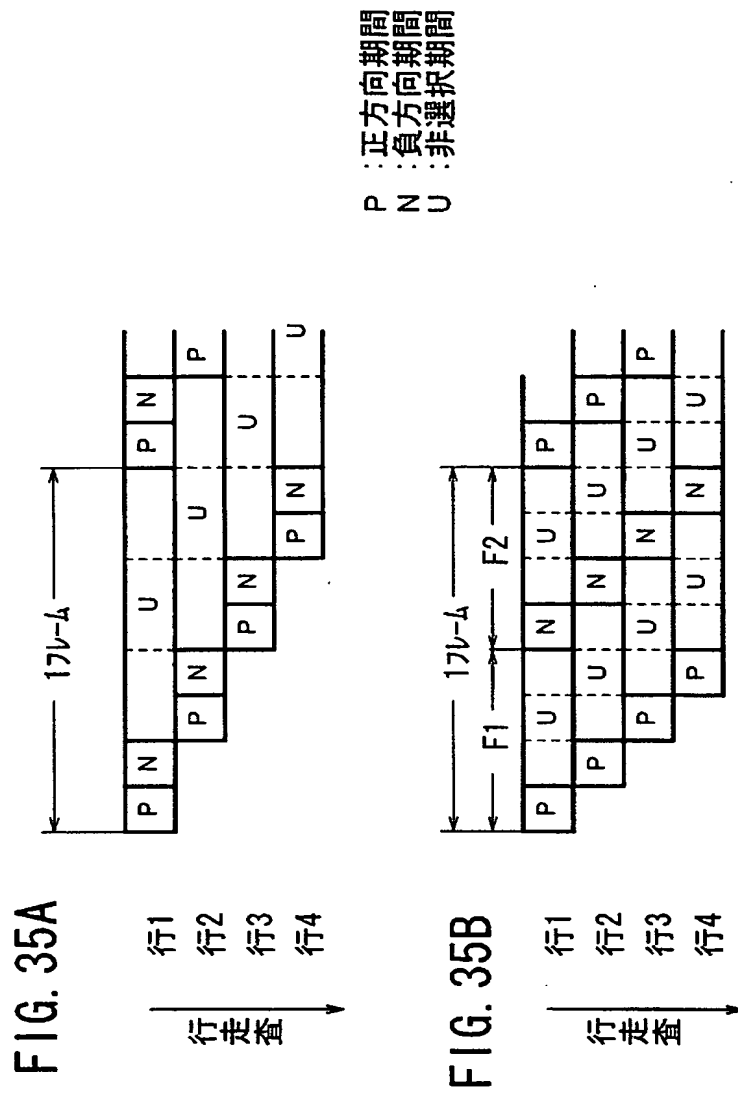


【図 3 4】

FIG. 34

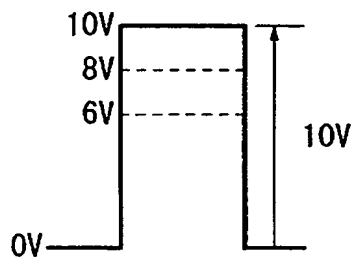


【図 3 5】



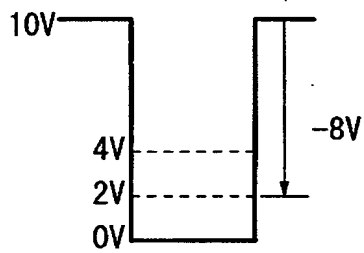
【図 36】

FIG. 36A



正方向

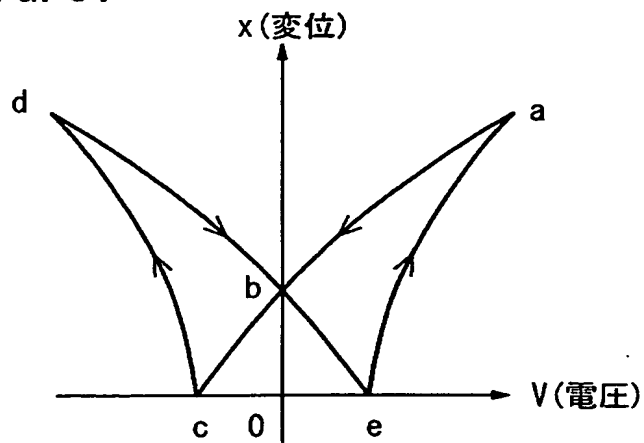
FIG. 36B



負方向

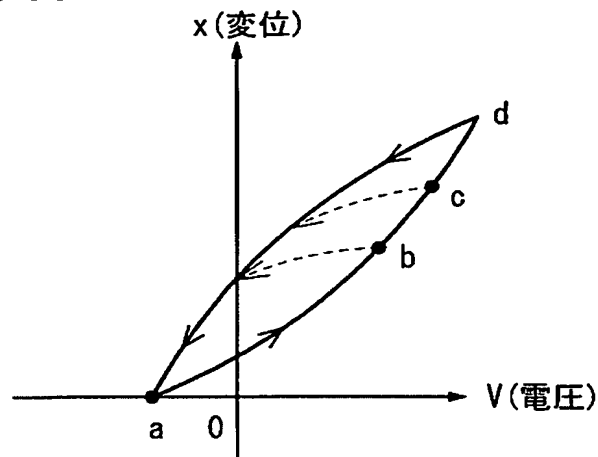
【図 37】

FIG. 37



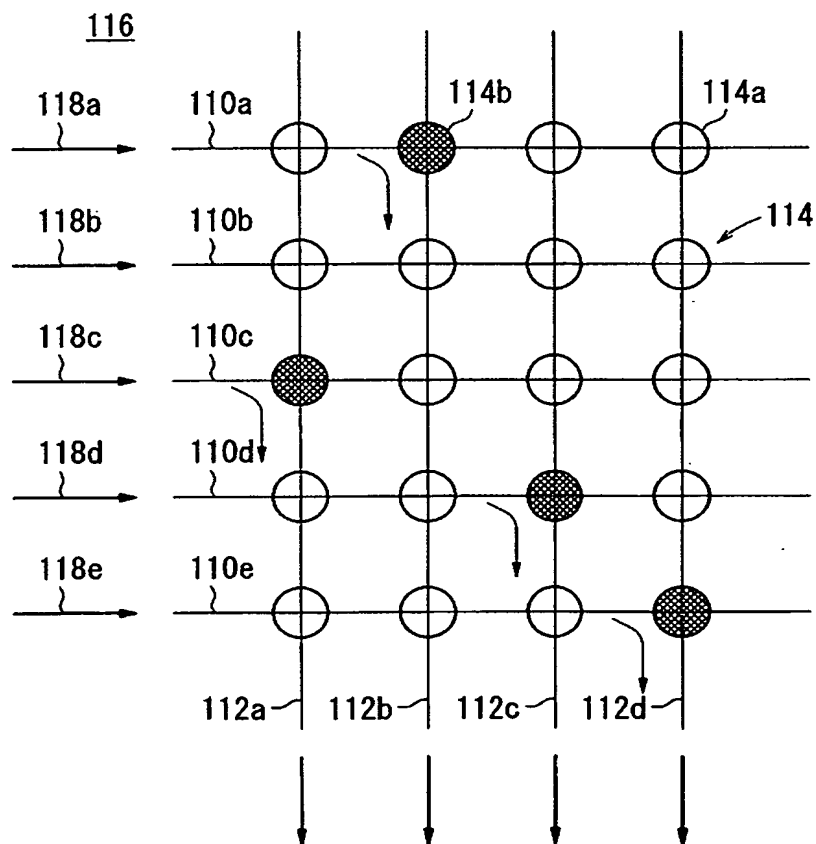
【図 38】

FIG. 38



【図 39】

FIG. 39



【図 40】

FIG. 40A

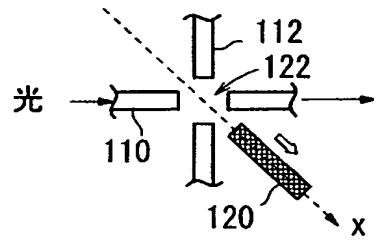
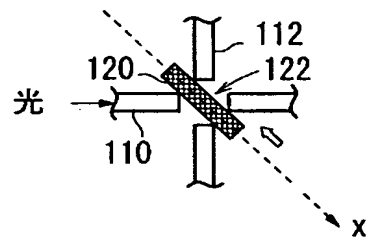
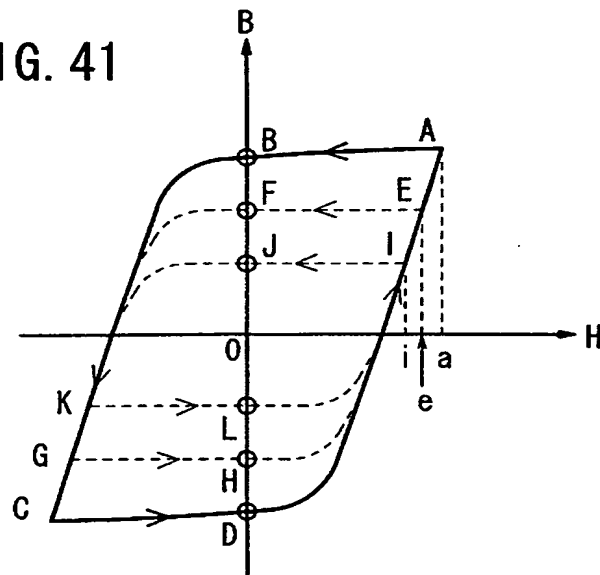


FIG. 40B



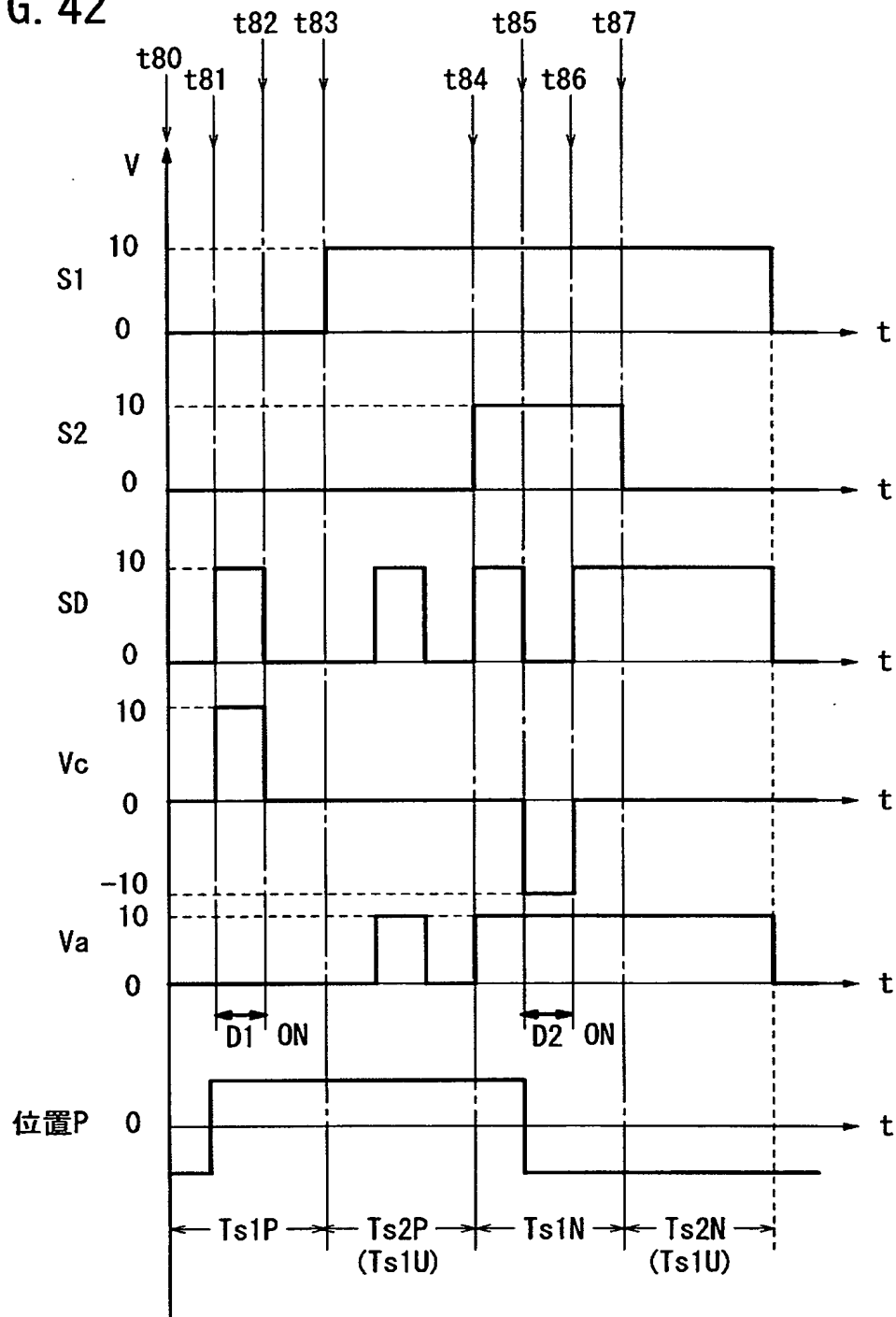
【図 41】

FIG. 41



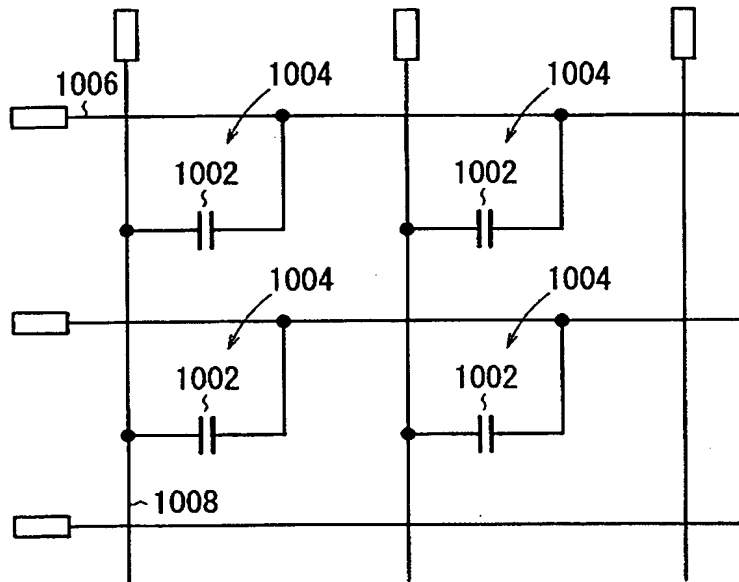
【図 4 2】

FIG. 42



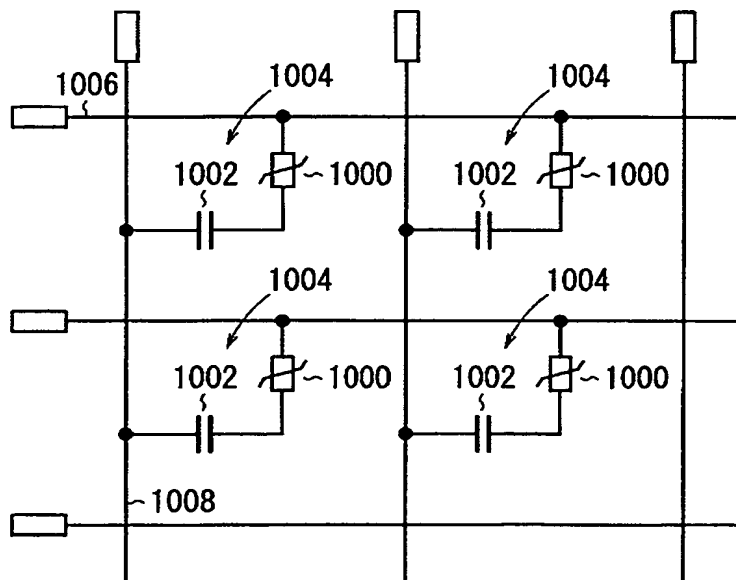
【図 4 3】

FIG. 43



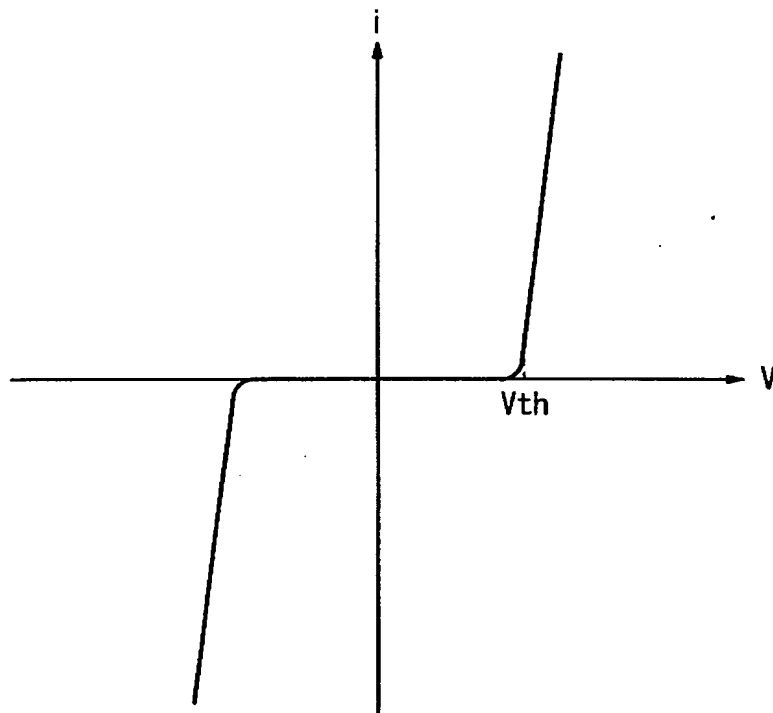
【図 4 4】

FIG. 44



【図 45】

FIG. 45



【書類名】 要約書**【要約】**

【課題】 非選択状態にある回路素子が、選択状態にある回路素子に供給される信号によって影響を受けることがないようにして、低消費電力を図る。

【解決手段】 回路素子 10 は、第 1 の配線 12 と、第 2 の配線 14 と、第 3 の配線 16 と、第 1 の配線 12 と第 2 の配線 14 との間にそれぞれ順方向に直列接続された第 1 及び第 2 の整流素子 D1 及び D2 と、第 1 及び第 2 の整流素子 D1 及び D2 の接続点 18 と第 3 の配線 16 との間に接続された負荷 20 とを有する。第 1 の配線 12 の電位を V_1 、第 2 の配線 14 の電位を V_2 、接続点 18 の電圧を V_3 としたとき、動作期間の全期間にわたって、 $V_1 \geq V_2$ とする。負荷 20 への導通を禁止する期間においては、 $V_2 \leq V_3 \leq V_1$ とする。

【選択図】 図 1

特願 2 0 0 4 - 0 4 6 8 6 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 0 6 4]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	愛知県名古屋市瑞穂区須田町 2 番 5 6 号
氏 名	日本碍子株式会社